



Urząd Patentowy
Rzeczypospolitej Polskiej

(21) Numer zgłoszenia: 303140

(22) Data zgłoszenia: 21.04.1994

(51) IntCl⁶:
H02H 7/12
H02H 7/20

(54) Układ do zabezpieczania tranzystora mocy MOS przed dużą pochodną napięcia

(43) Zgłoszenie ogłoszono:
30.10.1995 BUP 22/95

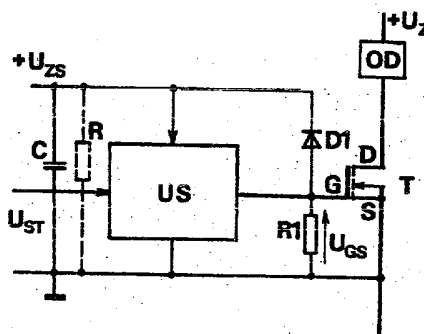
(45) O udzieleniu patentu ogłoszono:
30.01.1998 WUP 01/98

(73) Uprawniony z patentu:
Akademia Górniczo-Hutnicza
im. Stanisława Staszica, Kraków, PL

(72) Twórcy wynalazku:
Aleksander Dziadecki, Kraków, PL
Janusz Grzegorski, Kraków, PL
Józef Skotniczny, Kraków, PL

(74) Pełnomocnik:
Postółek Elżbieta, Akademia Górniczo-
Hutnicza im. Stanisława Staszica

- (57) 1. Układ do zabezpieczania tranzystora mocy MOS przed dużą pochodną napięcia bez lub z rezystorem włączonym pomiędzy jego bramkę i źródło, a zawierający kondensator blokujący podłączony jedną elektrodą do czynnego bieguna źródła napięcia zasilającego układ sterowania, którego wyjście jest podłączone do bramki tranzystora mocy MOS, przy czym masa układu sterowania jest połączona równocześnie ze źródłem tranzystora mocy MOS, drugą elektrodą kondensatora blokującego oraz drugim biegunem źródła napięcia zasilającego układ sterowania, **znamienny tym**, że zawiera diodę (D1), która jest włączona pomiędzy bramkę (G) tranzystora mocy MOS (T) zasilanego z odrębnego źródła napięcia (U_Z) a punkt wspólny czynnego bieguna źródła napięcia (U_{ZS}) zasilającego układ sterowania (US) i kondensatora blokującego (C), przy czym dla tranzystora mocy MOS (T) z kanałem typu n biegun czynny źródła napięcia (U_{ZS}) jest odpowiednio biegunem dodatnim, a dla tranzystora mocy MOS (T) z kanałem typu p biegun czynny źródła napięcia (U_{ZS}) jest biegunem ujemnym, do których dioda (D1) jest podłączona odpowiednio katodą albo anodą.



Układ do zabezpieczania tranzystora mocy MOS przed dużą pochodną napięcia

Zastrzeżenia patentowe

1. Układ do zabezpieczania tranzystora mocy MOS przed dużą pochodną napięcia bez lub z rezystorem włączonym pomiędzy jego bramkę i źródło, a zawierający kondensator blokujący podłączony jedną elektrodą do czynnego bieguna źródła napięcia zasilającego układ sterowania, którego wyjście jest podłączone do bramki tranzystora mocy MOS, przy czym masa układu sterowania jest połączona równocześnie ze źródłem tranzystora mocy MOS, drugą elektrodą kondensatora blokującego oraz drugim biegunem źródła napięcia zasilającego układ sterowania, **znamienny tym**, że zawiera diodę (**D1**), która jest włączona pomiędzy bramkę (**G**) tranzystora mocy MOS (**T**) zasilanego z odrębnego źródła napięcia (U_z) a punkt wspólny czynnego bieguna źródła napięcia (U_{zs}) zasilającego układ sterowania (**US**) i kondensatora blokującego (**C**), przy czym dla tranzystora mocy MOS (**T**) z kanałem typu n biegun czynny źródła napięcia (U_{zs}) jest odpowiednio biegunem dodatnim, a dla tranzystora mocy MOS (**T**) z kanałem typu p biegun czynny źródła napięcia (U_{zs}) jest biegunem ujemnym, do których dioda (**D1**) jest podłączona odpowiednio katodą albo anodą.

2. Układ według zastrz. 1, **znamienny tym**, że kondensator blokujący (**C**) zbocznikowany jest dodatkowym rezystorem (**R**).

* * *

Przedmiotem wynalazku jest układ do zabezpieczania tranzystora mocy MOS przed dużą pochodną napięcia załączanego pomiędzy jego dren i źródło, znajdujący zastosowanie między innymi w zasilających układach przekształtnikowych.

Znany z literatury technicznej (Katalog firmowy "Power MOS Devices" - Data BOOK 1st EDITION SGS THOMSON Microelectronics 1988, str. 122) układ zawiera kondensator blokujący połączony jedną elektrodą z dodatnim biegunem źródła napięcia zasilającego blok sterujący, którego wyjście jest połączone z bramką tranzystora mocy MOS. Druga elektroda kondensatora blokującego jest połączona z masą układu, z którą jest połączony także blok sterujący oraz źródło tranzystora mocy MOS, które jest połączone również poprzez rezystor z jego bramką.

Niedogodnością znanego układu jest to, że dobór wartości rezystancji rezystora włączonego pomiędzy bramkę a źródło tranzystora MOS musi być wynikiem kompromisu pomiędzy skutecznością ochrony przed dużą pochodną napięcia, a koniecznością zwiększenia mocy sygnału sterującego.

Układ do zabezpieczania tranzystora mocy MOS przed dużą pochodną napięcia, według wynalazku, bez lub z rezystorem włączonym pomiędzy jego bramkę i źródło, a zawierający kondensator blokujący podłączony jedną elektrodą do czynnego bieguna źródła napięcia zasilającego układ sterowania, którego wyjście jest podłączone do bramki tranzystora mocy MOS, przy czym masa układu sterowania jest połączona równocześnie ze źródłem tranzystora mocy MOS, drugą elektrodą kondensatora blokującego oraz drugim biegunem źródła napięcia zasilającego układ sterowania charakteryzuje się tym, że zawiera diodę, która jest włączona pomiędzy bramkę tranzystora mocy MOS zasilanego z odrębnego źródła napięcia a punkt wspólny czynnego bieguna źródła napięcia zasilającego układ sterowania i kondensatora blokującego. Dla tranzystora mocy MOS z kanałem typu n biegun czynny źródła napięcia zasilającego układ sterowania jest odpowiednio biegunem dodatnim, a dla tranzystora mocy MOS z kanałem typu p biegun czynny tego źródła napięcia jest biegunem ujemnym, do którego dioda jest podłączona odpowiednio katodą albo anodą. Ponadto kondensator blokujący zbocznikowany jest dodatkowym rezystorem.

Rozwiązanie, według wynalazku, dzięki zastosowaniu diody włączonej pomiędzy bramkę chronionego tranzystora mocy MOS a źródło napięcia zasilające układ sterowania, umożliwia zwiększenie pojemności między bramką a źródłem chronionego tranzystora mocy MOS, a tym samym zwiększa skuteczność jego ochrony przed zniszczeniem w wyniku dużej pochodnej napięcia załączanego pomiędzy jego dren i źródło. Eliminuje tym samym niepożądane występowanie tranzystora w przypadku zaniku napięcia zasilającego jego układ sterowania.

Przedmiot wynalazku uwidoczniiony jest w przykładzie wykonania na rysunku, który przedstawia schemat ideowo-blokowy układu.

Układ, według wynalazku zawiera kondensator blokujący **C** połączony jedną elektrodą z dodatnim biegunem źródła napięcia U_{zs} zasilającego układ sterowania **US**, którego wyjście jest podłączone do bramki **G** tranzystora mocy MOS **T** z kanałem typu n. Masa układu sterowania **US** jest połączona równocześnie z drugim biegunem źródła napięcia U_{zs} zasilającego układ sterowania **US**, ze źródłem **S** tranzystora mocy MOS **T** oraz drugą elektrodą kondensatora blokującego **C**. Pomiedzy bramkę **G** tranzystora mocy MOS **T** i jego źródło **S** włączony jest rezystor **R1**. Układ zawiera również diodę **D1**, która jest włączona pomiędzy bramkę **G** tranzystora mocy MOS **T** a punkt wspólny dodatniego bieguna źródła napięcia U_{zs} zasilającego układ sterowania **US** i kondensatora blokującego **C**. Kondensator blokujący **C** zbocznikowany jest dodatkowym rezystorem **R**.

Działanie układu, według wynalazku, polega na tym, że po odłączeniu źródła napięcia U_{zs} , które zasila układ sterowania **US** tranzystora mocy MOS **T**, połączonego szeregowo z odbiornikiem **OD**, naładowany kondensator blokujący **C** rozładowywuje się w obwodach układu sterowania **US** zbocznikowanego ewentualnie dodatkowym rezystorem **R**, a napięcie na nim spada do zera. Wartość rezystancji dodatkowego rezystora **R** dobiera się tak, aby po odłączeniu napięcia U_{zs} zasilającego układ sterowania **US** zapewnić wymagany warunkami eksploatacyjnymi, szybki spadek napięcia na kondensatorze **C**. Po rozładowaniu kondensatora **C**, potencjał dodatniego bieguna źródła napięcia U_{zs} staje się bliski potencjałowi źródła **S** tranzystora mocy MOS **T**, czyli masy układu sterowania **US**. W układzie tranzystora mocy MOS **T** powstaje wówczas pojemnościowy dzielnik napięcia, utworzony z pojemności jego złącza dren **D** - bramka **G** oraz pojemności jego złącza bramka **G** - źródło **S**, która zostaje zbocznikowana gałęzią szeregowo połączonych: diody **D1** i kondensatora blokującego **C**. W momencie załączenia pomiędzy dren **D** i źródło **S** tranzystora mocy MOS **T** napięcia zasilania U_z , na pojemnościach utworzonego dzielnika napięcia odkładają się napięcia o wartościach w przybliżeniu odwrotnie proporcjonalnych do wartości jego składowych pojemności.

Jeśli napięcie na kondensatorze blokującym **C** jest mniejsze od różnicy wartości progowej napięcia U_{GS} stosowanego tranzystora mocy MOS **T** i spadku napięcia na diodzie **D1**, wówczas układ według wynalazku, zabezpiecza tranzystor **T** przed występowaniem wskutek dużej pochodnej zasilającego napięcia U_z załączanego pomiędzy jego dren **D** i źródło **S**.

Zwiększenie wartości pojemności kondensatora blokującego **C** powoduje zmniejszenie wartości napięcia U_{GS} na bramce **G** tranzystora mocy **T**, chroniąc go skutecznie przed niepożądanym załączeniem.

