

(19)



URZĄD
PATENTOWY
RZECZYPOSPOLITEJ
POLSKIEJ

(10)

PL 244484 B1

(12)

Opis patentowy

(21) Numer zgłoszenia: **440945**

(22) Data zgłoszenia: **2022.04.14**

(43) Data publikacji o zgłoszeniu: **2023.10.16 BUP 42/2023**

(45) Data publikacji o udzieleniu patentu: **2024.01.29 WUP 05/2024**

(51) MKP:

G04F 10/00 (2006.01)

H03M 1/12 (2006.01)

(73) Uprawniony z patentu:

**AKADEMIA GÓRNICZO-HUTNICZA
IM.STANISŁAWA STASZICA W KRAKOWIE,
Kraków, PL**

(72) Twórca(-y) wynalazku:

**DARIUSZ KOŚCIELNIK, Kraków, PL
JAKUB SZYDUCZYŃSKI, Szczepieszyń, PL
MAREK MIŚKOWICZ, Kraków, PL
KONRAD JURASZ, Świnna, PL**

(74) Pełnomocnik:

rzecz. pat. Andrzej Rogowski, Kraków, PL

(54) Tytuł:

Układ do rozpoznawania kolejności sygnałów

PL 244484 B1

Opis wynalazku

Przedmiotem wynalazku jest układ do rozpoznawania kolejności sygnałów, znajdujący zastosowanie w systemach kontrolno-pomiarowych i automatyce, ale przede wszystkim w przetwarzaniu analogowo-cyfrowym typu TDC (time-to-digital conversion), w którym analogową wielkością wejściową jest interwał czasu. Przetworniki TDC tego typu stosuje się m.in. w: dalmierzach laserowych, cyfrowych pętlach synchronizacji fazowej DPLL, pozytonowej tomografii emisyjnej oraz postprodukcyjnych testach parametrów czasowych układów scalonych wielkiej skali iteracji VLSI.

Z publikacji: M. A. Abas, G. Russell i D. J. Kinniment, „Design of Sub-10-Picoseconds On-Chip Time Measurement Circuit” znany jest układ rozpoznawania kolejności sygnałów, nazywany MUTEX-em (mutual exclusion). Układ ten zawiera asynchroniczny przerzutnik typu RS oraz filtr stanów zabronionych, które mogą pojawić się na wyjściach przerzutnika RS w sytuacji, gdy ten wykazuje metastabilność. Układ MUTEX jest wyposażony w wejście ustawiające i wejście kasujące oraz pierwsze wyjście i drugie wyjście. Wejście ustawiające jest połączone z pierwszym wejściem pierwszej bramki logicznej typu NAND, której drugie wejście jest połączone z wyjściem drugiej bramki logicznej typu NAND. Wyjście pierwszej bramki NAND jest połączone z drugim wejściem drugiej bramki logicznej typu NAND, której pierwsze wejście jest połączone z wejściem kasującym układu MUTEX. Obie bramki logiczne typu NAND, wraz z występującymi pomiędzy nimi połączeniami, tworzą asynchroniczny przerzutnik RS. Wyjście pierwszej bramki logicznej typu NAND jest ponadto połączone z bramką pierwszego tranzystora typu PMOS i bramką pierwszego tranzystora typu NMOS oraz źródłem drugiego tranzystora typu PMOS. Wyjście drugiej bramki logicznej typu NAND jest natomiast połączone z bramką drugiego tranzystora typu PMOS i bramką drugiego tranzystora typu NMOS oraz źródłem pierwszego tranzystora typu PMOS. Dren pierwszego tranzystora typu PMOS jest połączony z drenem pierwszego tranzystora typu NMOS oraz z pierwszym wyjściem układu MUTEX. Dren drugiego tranzystora typu PMOS jest połączony z drenem drugiego tranzystora typu NMOS oraz z drugim wyjściem układu MUTEX. Ponadto źródło pierwszego tranzystora typu NMOS jest połączone ze źródłem drugiego tranzystora typu NMOS oraz z masą układu. Wszystkie cztery tranzystory typu MOS, wraz z występującymi pomiędzy nimi połączeniami, tworzą filtr stanów zabronionych.

Przedstawiona struktura układu MUTEX jest przeznaczona do współpracy z sygnałami, których stany aktywne są wysokimi stanami logicznymi. Istnieje także odmiana układu MUTEX, rzadziej stosowana w praktyce, przeznaczona do współpracy z sygnałami, których stany aktywne są niskimi stanami logicznymi. W takim przypadku obie bramki logiczne typu NAND są zastępowane bramkami logicznymi typu NOR, a struktura prosta filtru stanów zabronionych jest zastępowana jej wersją odwróconą.

Z publikacji: D. J. Kinniment, O. V. Maevsky, A. Bystrov, G. Russell i A. V. Yakovlev, „On-Chip structures for Timing Measurement and Test” znany jest efekt metastabilności układu MUTEX. Metastabilność ta powstaje w asynchronicznym przerzutniku typu RS, gdy oba wejścia układu MUTEX zostaną wprowadzone w stan aktywny quasi-równocześnie. Wyjścia pierwszej i drugiej bramki logicznej są wówczas wprowadzane na stosunkowo długi czas w stany zabronione. Filtr stanów zabronionych, przeciwdziała przedostaniu się tych stanów na wyjścia układu MUTEX, utrzymując te wyjścia nadal w stanie nieaktywnym. Stosowanie filtru w żaden sposób nie skraca jednak czasu trwania metastabilności przerzutnika RS.

Z publikacji: M. A. Abas, G. Russell i D. J. Kinniment, „Built-in time measurement circuits – a comparative design study” IET Comput. Digit. Tech., 2007, 1, (2), str. 87–97 znany jest układ przetwornika analogowo-cyfrowego typu TDC (time-to-digital conversion), stosującego metodą sukcesywnej aproksymacji, w którym kodowaną wielkością analogową jest interwał czasu. Interwał ten jest reprezentowany odstępem czasowym pomiędzy chwilami, w których sygnał źródłowy i sygnał referencyjny przechodzą kolejno w stan aktywny. Układ przetwornika składa się z n połączonych posobnie ogniw, przy czym n jest jednocześnie liczbą bitów wyjściowego słowa cyfrowego. Każde z ogniw zawiera wejście sygnału źródłowego i wejście sygnału referencyjnego oraz wyjście ścieżki źródłowej, połączonej z wejściem sygnału źródłowego ewentualnego następnego ogniwa i wyjście ścieżki referencyjnej, połączonej z wejściem sygnału referencyjnego ewentualnego następnego ogniwa. Każde ogniwo jest ponadto wyposażone w wyjście bitu o indeksie x n -bitowego wyjściowego słowa cyfrowego, przy czym pozycja tego bitu o indeksie x w słowie cyfrowym odpowiada położeniu danego ogniwa w strukturze układu przetwornika. Każde z ogniw zawiera układ MUTEX, którego wejście ustawiające jest połączone z wejściem sygnału źródłowego tego ogniwa, a wejście kasujące jest połączone z wejściem sygnału referencyjnego danego ogniwa. Pierwsze wyjście układu MUTEX jest natomiast połączone z wyjściem bity rozważanego

ogniwa. Ponadto wejście sygnału źródłowego jest połączone z pierwszym układem opóźnienia kompensującego, a wejście sygnału referencyjnego jest połączone z drugim układem opóźnienia kompensującego. Czasy propagacji pierwszego i drugiego układu opóźnienia kompensującego są równe i większe od nominalnego czasu propagacji układu MUTEX. Wyjście pierwszego układu opóźnienia kompensującego jest połączone z wejściem pierwszego układu opóźnienia wyrównującego oraz wejściem pierwszego układu opóźnienia wzorcowego, scalonego z drugim układem opóźnienia wyrównującego, którego wyjście jest połączone z pierwszym wejściem pierwszego multipleksera. Drugie wejście pierwszego multipleksera jest połączone z wyjściem pierwszego układu opóźnienia wyrównującego. Wyjście pierwszego multipleksera jest połączone z wyjściem ścieżki źródłowej danego ogniwa. Wejście adresowe pierwszego multipleksera jest połączone z pierwszym wyjściem układu MUTEX. Wyjście drugiego układu opóźnienia kompensującego jest połączone z wejściem trzeciego układu opóźnienia wyrównującego oraz wejściem drugiego układu opóźnienia wzorcowego, scalonego z czwartym układem opóźnienia wyrównującego, którego wyjście jest połączone z pierwszym wejściem drugiego multipleksera. Drugie wejście drugiego multipleksera jest połączone z wyjściem trzeciego układu opóźnienia wyrównującego. Wyjście drugiego multipleksera jest połączone z wyjściem ścieżki referencyjnej danego ogniwa. Wejście adresowe drugiego multipleksera jest połączone z drugim wyjściem układu MUTEX. Czasy propagacji pierwszego, drugiego, trzeciego i czwartego układu opóźnienia wyrównującego są równe i większe od czasów propagacji pierwszego i drugiego multipleksera. Natomiast czasy propagacji pierwszego i drugiego układu opóźnienia wzorcowego są sobie równe i są dwukrotnie mniejsze od czasów propagacji układów opóźnień wzorcowych znajdujących się w ogniwie bezpośrednio poprzedzającym dane ogniwo w układzie przetwornika.

Układ do rozpoznawania kolejności sygnałów, według wynalazku, zawiera w ogniwie przetwornika analogowo-cyfrowego służącym wyznaczeniu wartości bitu o indeksie x n -bitowego wyjściowego słowa cyfrowego główny układ MUTEX, wyposażony w wejście ustawiające, połączone z wejściem sygnału źródłowego i wejście kasujące, połączone z wejściem sygnału referencyjnego. Główny układ MUTEX jest ponadto wyposażony w pierwsze wyjście, połączone z pierwszym wejściem sterującym układem konfigurowania ścieżek i drugie wyjście, połączone z drugim wejściem sterującym układem konfigurowania ścieżek. Wejście sygnału źródłowego jest dodatkowo połączone z wejściem pierwszego układu opóźniającego, którego wyjście jest połączone z wejściem ścieżki źródłowej układu konfigurowania ścieżek. Wejście sygnału referencyjnego jest natomiast połączone z wejściem drugiego układu opóźniającego, którego wyjście jest połączone z wejściem ścieżki referencyjnej układu konfigurowania ścieżek. Czas propagacji pierwszego układu opóźniającego jest przy tym równy czasowi propagacji drugiego układu opóźniającego i dłuższy od nominalnego opóźnienia propagacyjnego głównego układu MUTEX.

Istotą rozwiązania jest to, że wejście sygnału źródłowego jest połączone z pierwszym wejściem pierwszej bramki, której drugie wejście jest połączone z wejściem sygnału referencyjnego. Wyjście pierwszej bramki jest natomiast połączone z wejściem dodatkowego układu opóźniającego, którego wyjście jest połączone z wejściem kasującym dodatkowego układu MUTEX. Czas propagacji dodatkowego układu opóźniającego jest przy tym krótszy od czasu propagacji pierwszego układu opóźniającego i jednocześnie jest dłuższy od nominalnego opóźnienia propagacyjnego głównego układu MUTEX. Ponadto pierwsze wyjście głównego układu MUTEX jest połączone z wejściem danych modułu wyjściowego oraz z pierwszym wejściem drugiej bramki, której drugie wejście jest połączone z drugim wyjściem głównego układu MUTEX. Wyjście drugiej bramki jest natomiast połączone z wejściem ustawiającym dodatkowego układu MUTEX, którego drugie wyjście jest połączone z wejściem priorytetowym modułu wyjściowego, wyposażonego w wyjścia bitów n -bitowego wyjściowego słowa cyfrowego.

Korzystne jest, gdy pierwsza bramka oraz druga bramka są bramkami logicznymi typu OR i jednocześnie główny układ MUTEX oraz dodatkowy układ MUTEX zawierają asynchroniczne przerzutniki RS zbudowane z bramek logicznych typu NAND i filtry proste.

Korzystne jest też, gdy pierwsza bramka oraz druga bramka są bramkami logicznymi typu AND i jednocześnie główny układ MUTEX oraz dodatkowy układ MUTEX zawierają asynchroniczne przerzutniki RS zbudowane z bramek logicznych typu NOR i filtry odwrócone.

Zaletą rozwiązania jest zapewnienie poprawnej pracy przetwornika analogowo-cyfrowego typu TDC nawet w sytuacji, gdy na dowolnym etapie przetwarzania pojawi się metastabilność układu MUTEX. W takiej sytuacji wszystkim bitom tej części wyjściowego słowa cyfrowego, która w wyniku metastabilności układu MUTEX jest narażona na zafałszowanie, zostanie przypisana z góry przewidziana wartość domyślna. Ostateczna wartość otrzymanego w ten sposób wyjściowego słowa cyfrowego różni

się co najwyżej o jeden od wyniku, który można by uzyskać w przetworniku idealnym, całkowicie pozbawionym metastabilności.

Rozwiązanie pozwala także na przerwanie procesu przetwarzania analogowo-cyfrowego, w trakcie którego pojawiła się metastabilność układu MUTEX. Tym samym redukuje się zarówno czas, jak i ilość energii niezbędne do otrzymania poprawnego wyniku przetwarzania.

Przedmiot wynalazku jest objaśniony w przykładach wykonania na rysunku, gdzie przedstawiono:

Fig. 1 – schemat układu do rozpoznawania kolejności sygnałów.

Fig. 2 – schemat układu MUTEX reagującego na stan aktywny w postaci stanu logicznego wysokiego, zawierający asynchroniczny przerzutnik RS zbudowany z bramek logicznych typu NAND i filtr prosty.

Fig. 3 – schemat układu MUTEX reagującego na stan aktywny w postaci stanu logicznego niskiego, zawierający asynchroniczny przerzutnik RS zbudowany z bramek logicznych typu NOR i filtr odwrócony.

Fig. 4 – interwał czasu ΔT rozdzielający momenty przejścia w stan aktywny sygnału źródłowego Sc_x i sygnału referencyjnego Rf_x .

Fig. 5 – opóźnienie propagacyjne t_P głównego układu MUTEX MM_x w funkcji interwału czasu ΔT .

Zgodnie z wynalazkiem układ do rozpoznawania kolejności sygnałów, w pierwszym przykładowym rozwiązaniu (fig. 1), w ogniwie przetwornika analogowo-cyfrowego, służącym wyznaczeniu wartości bitu o indeksie x b_x n -bitowego wyjściowego słowa cyfrowego B zawiera główny układ MUTEX MM_x . Główny układ MUTEX MM_x jest wyposażony w wejście ustawiające S , wejście kasujące R , pierwsze wyjście $Q1$ i drugie wyjście $Q2$. Wejście ustawiające S głównego układu MUTEX MM_x jest połączone z wejściem sygnału źródłowego Sc_x , a wejście kasujące R głównego układu MUTEX MM_x jest połączone z wejściem sygnału referencyjnego Rf_x . Pierwsze wyjście $Q1$ głównego układu MUTEX MM_x jest połączone z pierwszym wejściem sterującym $C1$ układu konfigurowania ścieżek E_x , natomiast drugie wyjście $Q2$ głównego układu MUTEX MM_x jest połączone z drugim wejściem sterującym $C2$ układu konfigurowania ścieżek E_x . Wejście sygnału źródłowego Sc_x jest ponadto połączone z wejściem pierwszego układu opóźniającego T_{M1x} , którego wyjście jest połączone z wejściem ścieżki źródłowej Sc_{in} układu konfigurowania ścieżek E_x . Natomiast wejście sygnału referencyjnego Rf_x jest połączone z wejściem drugiego układu opóźniającego T_{M2x} , którego wyjście jest połączone z wejściem ścieżki referencyjnej Rf_{in} układu konfigurowania ścieżek E_x . Czas propagacji t_M pierwszego układu opóźniającego T_{M1x} jest równy czasowi propagacji t_M drugiego układu opóźniającego T_{M2x} i jest pięciokrotnie dłuższy od nominalnego opóźnienia propagacyjnego t_N głównego układu MUTEX MM_x . Wejście sygnału źródłowego Sc_x jest połączone z pierwszym wejściem pierwszej bramki $B1_x$, której drugie wejście jest połączone z wejściem sygnału referencyjnego Rf_x . Wyjście pierwszej bramki $B1_x$ jest natomiast połączone z wejściem dodatkowego układu opóźniającego T_{Dx} , którego wyjście jest połączone z wejściem kasującym R dodatkowego układu MUTEX MA_x . Czas propagacji t_D dodatkowego układu opóźniającego T_{Dx} jest przy tym czterokrotnie dłuższy od nominalnego opóźnienia propagacyjnego t_N głównego układu MUTEX MM_x i jest krótszy od czasu propagacji t_M pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} . W tym przykładowym układzie główny układ MUTEX MM_x i dodatkowy układ MUTEX MA_x , są znanymi układami MUTEX zawierającymi asynchroniczne przerzutniki RS zbudowane z bramek logicznych typu NAND i filtry proste (fig. 2). Pierwsze wyjście $Q1$ głównego układu MUTEX MM_x jest połączone z wejściem danych D_x modułu wyjściowego OM oraz z pierwszym wejściem drugiej bramki $B2_x$, której drugie wejście jest połączone z drugim wyjściem $Q2$ głównego układu MUTEX MM_x . Wyjście drugiej bramki $B2_x$ jest natomiast połączone z wejściem ustawiającym S dodatkowego układu MUTEX MA_x , którego drugie wyjście $Q2$ jest połączone z wejściem priorytetowym Prt_x modułu wyjściowego OM. Moduł wyjściowy OM jest ponadto wyposażony w wyjścia bitów $b_{n-1}, \dots, b_0$ n -bitowego wyjściowego słowa cyfrowego B . W tym przykładowym układzie pierwsza bramka $B1_x$ i druga bramka $B2_x$ są bramkami logicznymi typu OR.

W drugim przykładowym rozwiązaniu, układ do rozpoznawania kolejności sygnałów, zgodnie z wynalazkiem, różni się tym od pierwszego, że główny układ MUTEX MM_x i dodatkowy układ MUTEX MA_x , są znanymi układami MUTEX zawierającymi asynchroniczne przerzutniki RS zbudowane z bramek logicznych typu NOR i filtry odwrócone (fig. 3). Ponadto, w tym przykładowym rozwiązaniu pierwsza bramka $B1_x$ i druga bramka $B2_x$ są bramkami logicznymi typu AND.

Rozpoznawanie kolejności sygnałów realizowane, według wynalazku, w pierwszym przykładowym układzie (fig. 1) przebiega następująco. Jako wiodący sygnał jest wskazywany za pomocą układu MUTEX ten z dwóch sygnałów, który wcześniej przejdzie w stan aktywny. Dzieje się tak jednak pod

warunkiem, że oba sygnały nie przechodzą w stan aktywny quasi-równocześnie. Pierwszym z rozpatrywanych sygnałów jest sygnał źródłowy Sc_x , zaś drugim jest sygnał referencyjny Rf_x . W pierwszym przykładowym układzie stanem aktywnym jest stan logiczny wysoki.

W przypadku, gdy sygnał źródłowy Sc_x i sygnał referencyjny Rf_x nie przechodzą w stan aktywny quasi-równocześnie, interwał czasu ΔT rozdzielający momenty uaktywnienia tych sygnałów (fig. 4) ma niewielki wpływ na długość opóźnienia propagacyjnego t_P (fig. 5), z którym główny układ MUTEX MM_x reaguje na pojawienie się wiodącego sygnału uaktywnieniem jednego ze swych dwóch wyjść. Opóźnienie propagacyjne głównego układu MUTEX MM_x jest w takim przypadku równe lub niewiele większe od nominalnego opóźnienia propagacyjnego t_N głównego układu MUTEX MM_x (fig. 5) i jest krótsze od czasu propagacji t_D dodatkowego układu opóźniającego T_{Dx} (fig. 5). Jeżeli wiodącym sygnałem jest sygnał źródłowy Sc_x , to w stan aktywny zostanie wprowadzone pierwsze wyjście Q1 głównego układu MUTEX MM_x . Jeżeli natomiast wiodącym sygnałem jest sygnał referencyjny Rf_x , to w stan aktywny zostanie wprowadzone drugie wyjście Q2 głównego układu MUTEX MM_x . Późniejsze przejście w stan aktywny drugiego z sygnałów pozostaje bez wpływu na ustalony już stan wyjść głównego układu MUTEX MM_x . W przypadku, gdy wiodącym sygnałem jest sygnał źródłowy Sc_x , stan aktywny pierwszego wyjścia Q1 głównego układu MUTEX MM_x , podawany na pierwsze wejście sterujące C1 układu konfigurowania ścieżek E_x powoduje włączenie opóźnienia wzorcowego, o długości odpowiedniej dla danego ogniwa przetwornika analogowo-cyfrowego, w ścieżkę sygnału źródłowego Sc_x . Jednocześnie ścieżka sygnału referencyjnego Rf_x nie będzie zawierała opóźnienia wzorcowego. W przeciwnym przypadku, gdy wiodącym sygnałem jest sygnał referencyjny Rf_x , stan aktywny drugiego wyjścia Q2 głównego układu MUTEX MM_x , podawany na drugie wejście sterujące C2 układu konfigurowania ścieżek E_x , powoduje włączenie opóźnienia wzorcowego w ścieżkę sygnału referencyjnego Rf_x . Jednocześnie ścieżka sygnału źródłowego Sc_x nie będzie zawierała opóźnienia wzorcowego. Sygnał źródłowy Sc_x , i sygnał referencyjny Rf_x są doprowadzane do, odpowiednio, wejścia ścieżki źródłowej Sc_{in} układu konfigurowania ścieżek E_x i wejścia ścieżki referencyjnej Rf_{in} układu konfigurowania ścieżek E_x za pośrednictwem, odpowiednio, pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} . W rozpatrywanym przypadku opóźnienie propagacyjne t_P głównego układu MUTEX MM_x jest krótsze od czasów propagacji t_M pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} (fig. 5). Dlatego każdy z sygnałów dociera do wejścia własnej ścieżki w układzie konfigurowania ścieżek E_x dopiero wówczas, gdy obie ścieżki zostały wcześniej odpowiednio skonfigurowane, co jest niezbędne dla poprawnego funkcjonowania przetwornika analogowo-cyfrowego.

Długość opóźnienia propagacyjnego t_P głównego układu MUTEX MM_x jest zawsze kontrolowana za pomocą dodatkowego układu MUTEX MA_x . Początek interwału opóźnienia propagacyjnego t_P głównego układu MUTEX MM_x jest wskazywany za pomocą pierwszej bramki $B1_x$, której wyjście przechodzi w stan aktywny w wyniku pojawienia się wiodącego sygnału na dowolnym z dwóch wejść tej bramki. Wyjściowy sygnał pierwszej bramki $B1_x$ jest opóźniany za pomocą dodatkowego układu opóźniającego T_{Dx} i ostatecznie trafia na wejścia kasującego R dodatkowego układu MUTEX MA_x . Koniec interwału opóźnienia propagacyjnego t_P głównego układu MUTEX MM_x jest wskazywany za pomocą drugiej bramki $B2_x$, której wyjście przechodzi w stan aktywny w wyniku pojawienia się stanu aktywnego na dowolnym z dwóch wyjść głównego układu MUTEX MM_x . Wyjściowy sygnał drugiej bramki $B2_x$ jest podawany na wejścia ustawiające S dodatkowego układu MUTEX MA_x . Opóźnienia propagacyjne pierwszej bramki $B1_x$ i drugiej bramki $B2_x$ są identyczne i kompensują się wzajemnie. Opóźnienie propagacyjne t_P głównego układu MUTEX MM_x jest natomiast, w rozpatrywanym przypadku, krótsze od czasu propagacji t_D dodatkowego układu opóźniającego T_{Dx} (fig. 5). Dlatego jako pierwsze zostanie wprowadzone w stan aktywny wejście ustawiające S dodatkowego układu MUTEX MA_x . Tym samym stan aktywny pojawi się ostatecznie na nieużywanym pierwszym wyjściu Q1 dodatkowego układu MUTEX MA_x . Drugie wyjście Q2 dodatkowego układu MUTEX MA_x pozostanie w stanie nieaktywnym, również wówczas, gdy do wejścia kasującego R dodatkowego układu MUTEX MA_x dotrze w końcu stan aktywny z wyjścia dodatkowego układu opóźniającego T_{Dx} . Tym samym wejście priorytetowe Prt_x modułu wyjściowego OM będzie ciągle utrzymywane w stanie nieaktywnym i nie będzie oddziaływało w żaden sposób na wartość nadawaną bitowi b_x przez moduł wyjściowy OM. Jedyny wpływ na wartość tego bitu będzie miał stan pierwszego wyjścia Q1 głównego układu MUTEX MM_x , podawany na wejście danych D_x modułu wyjściowego OM. Jeżeli wejście danych D_x modułu wyjściowego OM znajduje się w stanie nieaktywnym, to bitowi b_x przypisuje się za pomocą modułu wyjściowego OM stan logiczny zero. W przeciwnym przypadku, gdy wejście danych D_x modułu wyjściowego OM znajduje się w stanie aktywnym, bitowi b_x przypisuje się za pomocą modułu wyjściowego OM stan logiczny jeden.

W przypadku, gdy sygnał źródłowy Sc_x i sygnał referencyjny Rf_x przechodzą w stan aktywny quasi-równocześnie, główny układ MUX MM_x wykazuje metastabilność. Opóźnienie propagacyjne t_P głównego układu MUX MM_x gwałtownie rośnie (fig. 5) i staje się dłuższe od czasu propagacji t_D dodatkowego układu opóźniającego T_{Dx} . Opóźnienie propagacyjne t_P głównego układu MUX MM_x może wówczas stać się dłuższe od czasu propagacji t_M pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} (fig. 5). W takim przypadku sygnał źródłowy Sc_x i sygnał referencyjny Rf_x docierają do, odpowiednio, wejścia ścieżki źródłowej Sc_{in} układu konfigurowania ścieżek E_x i wejścia ścieżki referencyjnej Rf_{in} układu konfigurowania ścieżek E_x zanim jeszcze na jednym z wyjść głównego układu MUX MM_x pojawi się stan aktywny. Quasi-równoczesne: sygnał źródłowy Sc_x i sygnał referencyjny Rf_x propagują się zatem przez ścieżki, które nie zostały jeszcze odpowiednio skonfigurowane za pomocą układu konfigurowania ścieżek E_x . Algorytm przetwarzania analogowo-cyfrowego metodą sukcesywnej aproksymacji nie przewiduje zaistnienia takiej sytuacji, a jej pojawienie się powoduje zafałszowanie prawidłowej wartości wyznaczanego wyjściowego słowa cyfrowego B. Jednocześnie jednak quasi-równoczesność sygnału źródłowego Sc_x i sygnału referencyjnego Rf_x oznacza, że na przeprowadzonych wcześniej etapach przetwarzania udało się już zrównać położenie obu sygnałów w dziedzinie czasu, w dodatku z dokładnością lepszą od rozdzielczości danego przetwornika. Sytuacja taka może wystąpić wyłącznie wtedy, gdy mierzony interwał czasu ΔT był początkowo quasi-równy 1/2 zakresu przetwarzania lub 1/4 zakresu przetwarzania lub 3/4 zakresu przetwarzania lub 1/8 zakresu przetwarzania itd. Gdyby zatem idealny przetwornik analogowo-cyfrowy, w którym główny układ MUX MM_x jest całkowicie pozbawiony metastabilności, napotkał quasi-równoczesność sygnału źródłowego Sc_x i sygnału referencyjnego Rf_x na etapie przetwarzania służącym wyznaczeniu bitu o indeksie x b_x , to taki przetwornik na tym etapie przetwarzania włączyłby opóźnienie wzorcowe w tor jednego z sygnałów, a na każdym z kolejnych etapów przetwarzania włączałby opóźnienia wzorcowe o malejących dwukrotnie długościach w tor drugiego z sygnałów, usiłując ponownie zrównać położenie tych sygnałów w dziedzinie czasu. Pewne jest zatem, że w wyjściowym słowie cyfrowym B idealnego przetwornika analogowo-cyfrowego wartości bitu b_x oraz wszystkich ewentualnym mniej znaczących bitów $b_{x-1}, \dots, b_0$ muszą przyjmować jedną z dwóch sekwencji: 0, 1, 1, ..., 1 lub 1, 0, 0, ..., 0. Ponadto, w przypadku równoczesnego przejścia w stan aktywny sygnału źródłowego Sc_x i sygnału referencyjnego Rf_x obie powyższe sekwencje są jednakowo prawdopodobne. W rozważanym przypadku wynik przetwarzania analogowo-cyfrowego można zatem przewidzieć z dokładnością do jeden, bez przeprowadzania pozostałych etapów tego procesu lub pomijając ich rezultaty, które i tak dla rzeczywistego przetwornika okażą się zafałszowane wskutek metastabilności układu MUX.

Metastabilność głównego układu MUX MM_x jest wykrywana i sygnalizowana za pomocą dodatkowego układu MUX MA_x . W rozważanym przypadku opóźnienie propagacyjne t_P głównego układu MUX MM_x jest dłuższe od czasu propagacji t_M dodatkowego układu opóźniającego T_{Dx} (fig. 5). Dlatego jako pierwsze zostanie wprowadzone w stan aktywny wejście kasujące R dodatkowego układu MUX MA_x . Tym samym stan aktywny pojawi się na drugim wyjściu Q2 dodatkowego układu MUX MA_x i zostanie przekazany na wejście priorytetowe Prt_x modułu wyjściowego OM, sygnalizując modułowi wyjściowemu OM metastabilność głównego układu MUX MM_x . W rezultacie powyższego moduł wyjściowy OM przypisze natychmiast bitowi b_x oraz wszystkim ewentualnym mniej znaczącym bitom $b_{x-1}, \dots, b_0$ wyjściowego słowa cyfrowego B wartości domyślne. Ponadto moduł wyjściowego OM będzie ignorował od tego momentu stan swego wejścia danych D_x , zarówno na tym etapie przetwarzania, jak i na wszystkich ewentualnych następnych etapach przetwarzania. Moduł wyjściowy OM przypisze zatem bitowi b_x stan logiczny zero, a wszystkim ewentualnym mniej znaczącym bitom $b_{x-1}, \dots, b_0$ wyjściowego słowa cyfrowego B moduł wyjściowy OM przypisze stany logiczne jeden. Ostateczna wartość wyjściowego słowa cyfrowego B będzie równa lub o jeden mniejsza od wartości wyjściowego słowa cyfrowego B, którą uzyskano by w idealnym przetworniku analogowo-cyfrowym. W innym przykładowym rozwiązaniu moduł wyjściowy OM przypisze bitowi b_x stan logiczny jeden, a wszystkim ewentualnym mniej znaczącym bitom $b_{x-1}, \dots, b_0$ wyjściowego słowa cyfrowego B moduł wyjściowy OM przypisze stany logiczne zero. W tym rozwiązaniu ostateczna wartość wyjściowego słowa cyfrowego B będzie zatem równa lub o jeden większa od wartości wyjściowego słowa cyfrowego B, którą uzyskano by w idealnym przetworniku analogowo-cyfrowym.

W szczególnym przypadku opóźnienie propagacyjne t_P głównego układu MUX MM_x jest quasi-równe czasowi propagacji t_D dodatkowego układu opóźniającego T_{Dx} (fig. 5). Opóźnienie propagacyjne t_P głównego układu MUX MM_x jest zatem krótsze od czasów propagacji t_M pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} (fig. 5). Dlatego sygnał źródłowy Sc_x i sygnał

referencyjny Rf_x docierają do, odpowiednio, wejścia ścieżki źródłowej Sc_{in} układu konfigurowania ścieżek E_x i wejścia ścieżki referencyjnej Rf_{in} układu konfigurowania ścieżek E_x dopiero po tym, gdy główny układ MUTEX MM_x wprowadził już w stan aktywny odpowiednie wejście sterujące układu konfigurowania ścieżek E_x . Sygnał źródłowy Sc_x i sygnał referencyjny Rf_x propagują się zatem przez ścieżki skonfigurowane właściwie i z wymaganym wyprzedzeniem. Proces przetwarzania analogowo-cyfrowego przebiega więc poprawnie, a moduł wyjściowy OM może wykorzystać stan pierwszego wyjścia Q1 głównego układu MUTEX MM_x do przypisania odpowiedniej wartości bitowi o indeksie x b_x wyjściowego słowa cyfrowego B.

Jak w każdym przypadku, długość opóźnienia propagacyjnego t_P głównego układu MUTEX MM_x jest kontrolowana za pomocą dodatkowego układu MUTEX MA_x . W rozważanym, szczególnym przypadku opóźnienie propagacyjne t_P głównego układu MUTEX MM_x jest quasi-równe czasowi propagacji t_D dodatkowego układu opóźniającego T_{Dx} (fig. 5). Dlatego wejście ustawiające S dodatkowego układu MUTEX MA_x oraz wejście kasujące R dodatkowego układu MUTEX MA_x są wprowadzane w stan aktywny quasi-równocześnie, powodując metastabilność dodatkowego układu MUTEX MA_x . Jej wynikiem jest znaczne wydłużenie opóźnienia propagacyjnego dodatkowego układu MUTEX MA_x oraz brak możliwości jednoznacznego wskazania wyjścia dodatkowego układu MUTEX MA_x , które zostanie ostatecznie wprowadzone w stan aktywny. Jeżeli stan aktywny pojawi się na nieużywanym pierwszym wyjściu Q1 dodatkowego układu MUTEX MA_x , to wejście priorytetowe Prt_x modułu wyjściowego OM będzie nadal utrzymywane w stanie nieaktywnym za pomocą drugiego wyjścia Q2 dodatkowego układu MUTEX MA_x . Wartości bitu o indeksie x b_x i części ewentualnych mniej znaczących bitów b_{x-1} , b_{x-2} , ..., wyjściowego słowa cyfrowego B, wyznaczone już w wyniku procesu przetwarzania analogowo-cyfrowego cały czas przebiegającego poprawnie zostaną zatem zachowane. Jeżeli natomiast stan aktywny pojawi się ostatecznie na drugim wyjściu Q2 dodatkowego układu MUTEX MA_x , to wejście priorytetowe Prt_x modułu wyjściowego OM zostanie wprowadzone w stan aktywny, sygnalizując modułowi wyjściowemu OM potencjalną metastabilność głównego układu MUTEX MM_x . W rezultacie powyższego moduł wyjściowy OM przypisze bitowi b_x oraz wszystkim ewentualnym mniej znaczącym bitom b_{x-1} , ..., b_0 wyjściowego słowa cyfrowego B wartości domyślne. Ponadto moduł wyjściowego OM zignoruje stan swego wejścia danych D_x , zarówno na tym etapie przetwarzania, jak i na wszystkich ewentualnych następnych etapach przetwarzania. Moduł wyjściowy OM przypisze zatem bitowi b_x stan logiczny zero, a wszystkim ewentualnym mniej znaczącym bitom b_{x-1} , ..., b_0 wyjściowego słowa cyfrowego B moduł wyjściowy OM przypisze stany logiczne jeden. Wartość otrzymanego w ten sposób wyjściowego słowa cyfrowego B będzie równa lub o jeden mniejsza od wartości wyjściowego słowa cyfrowego B, którą uzyskano by w wyniku kontynuowania zwykłego przebiegu procesu przetwarzania analogowo-cyfrowym. W innym przykładowym rozwiązaniu moduł wyjściowy OM przypisze bitowi b_x stan logiczny jeden, a wszystkim ewentualnym mniej znaczącym bitom b_{x-1} , ..., b_0 wyjściowego słowa cyfrowego B moduł wyjściowy OM przypisze stany logiczne zero. W tym rozwiązaniu ostateczna wartość wyjściowego słowa cyfrowego B będzie zatem równa lub o jeden większa od wartości wyjściowego słowa cyfrowego B, którą uzyskano by w wyniku kontynuowania zwykłego przebiegu procesu przetwarzania analogowo-cyfrowym.

Rozpoznawanie kolejności sygnałów realizowane, według wynalazku, w drugim przykładowym układzie przebiega identycznie jak w pierwszym przykładowym układzie (fig. 1), z tą jedynie różnicą, że stanem aktywnym jest stan logiczny niski.

Wykaz oznaczeń na rysunku

Sc_x	sygnał źródłowy
Rf_x	sygnał referencyjny
MM_x	główny układ MUTEX
MA_x	dodatkowy układ MUTEX
S	wejście ustawiające układu MUTEX
R	wejście kasujące układu MUTEX
Q1	pierwsze wyjście układu MUTEX
Q2	drugie wyjście układu MUTEX
T_{M1x}	pierwszy układ opóźniający
T_{M2x}	drugi układ opóźniający
T_{Dx}	dodatkowy układ opóźniający
E_x	układ konfigurowania ścieżek

C1	pierwsze wejście sterujące układu konfigurowania ścieżek
C2	drugie wejście sterujące układu konfigurowania ścieżek
SC _{in}	wejście ścieżki sygnałowej układu konfigurowania ścieżek
Rf _{in}	wejście ścieżki referencyjnej układu konfigurowania ścieżek
B1 _x	pierwsza bramka
B2 _x	druga bramka
OM	moduł wyjściowy
D _x	wejście danych modułu wyjściowego
Prt _x	wejście priorytetowe modułu wyjściowego
t _p	opóźnienie propagacyjne głównego układu MUTEX
t _N	nominalne opóźnienie propagacyjne głównego układu MUTEX
t _D	czas propagacji dodatkowego układu opóźniającego
t _M	czas propagacji pierwszego i drugiego układu opóźniającego
B	wyjściowe słowo cyfrowe
b _{n-1} , ..., b ₀	bity wyjściowego słowa cyfrowego

Zastrzeżenia patentowe

1. Układ do rozpoznawania kolejności sygnałów, zawierający w ogniwie przetwornika analogowo-cyfrowego służącym wyznaczeniu wartości bitu o indeksie x n-bitowego wyjściowego słowa cyfrowego główny układ MUTEX wyposażony w wejście ustawiające, połączone z wejściem sygnału źródłowego i wejście kasujące, połączone z wejściem sygnału referencyjnego oraz pierwsze wyjście, połączone z pierwszym wejściem sterującym układu konfigurowania ścieżek i drugie wyjście, połączone z drugim wejściem sterującym układu konfigurowania ścieżek, a ponadto wejście sygnału źródłowego jest połączone z wejściem pierwszego układu opóźniającego, którego wyjście jest połączone z wejściem ścieżki źródłowej układu konfigurowania ścieżek, zaś wejście sygnału referencyjnego jest połączone z wejściem drugiego układu opóźniającego, którego wyjście jest połączone z wejściem ścieżki referencyjnej układu konfigurowania ścieżek, przy czym czas propagacji pierwszego układu opóźniającego jest równy czasowi propagacji drugiego układu opóźniającego i dłuższy od nominalnego opóźnienia propagacyjnego głównego układu MUTEX, **znamienny tym**, że wejście sygnału źródłowego (SC_x) jest połączone z pierwszym wejściem pierwszej bramki (B1_x), której drugie wejście jest połączone z wejściem sygnału referencyjnego (Rf_x), natomiast wyjście pierwszej bramki (B1_x) jest połączone z wejściem dodatkowego układu opóźniającego (T_{Dx}), którego wyjście jest połączone z wejściem kasującym (R) dodatkowego układu MUTEX (MA_x), przy czym czas propagacji (t_D) dodatkowego układu opóźniającego (T_{Dx}) jest krótszy od czasu propagacji (t_M) pierwszego układu opóźniającego (T_{M1x}) i jednocześnie dłuższy od nominalnego opóźnienia propagacyjnego (t_N) głównego układu MUTEX (MM_x), zaś pierwsze wyjście (Q1) głównego układu MUTEX (MM_x) jest połączone z wejściem danych (D_x) modułu wyjściowego (OM) oraz z pierwszym wejściem drugiej bramki (B2_x), której drugie wejście jest połączone z drugim wyjściem (Q2) głównego układu MUTEX (MM_x), natomiast wyjście drugiej bramki (B2_x) jest połączone z wejściem ustawiającym (S) dodatkowego układu MUTEX (MA_x), którego drugie wyjście (Q2) jest połączone z wejściem priorytetowym (Prt_x) modułu wyjściowego (OM), wyposażonego w wyjścia bitów (b_{n-1}, ..., b₀) n-bitowego wyjściowego słowa cyfrowego (B).
2. Układ według zastrz. 1, **znamienny tym**, że pierwsza bramka (B1_x) oraz druga bramka (B2_x) są bramkami logicznymi typu OR i jednocześnie główny układ MUTEX (MM_x) oraz dodatkowy układ MUTEX (MA_x) zawierają asynchroniczne przerzutniki RS zbudowane z bramek logicznych typu NAND i filtry proste.
3. Układ według zastrz. 1, **znamienny tym**, że pierwsza bramka (B1_x) oraz druga bramka (B2_x) są bramkami logicznymi typu AND i jednocześnie główny układ MUTEX (MM_x) oraz dodatkowy układ MUTEX (MA_x) zawierają asynchroniczne przerzutniki RS zbudowane z bramek logicznych typu NOR i filtry odwrócone.

Rysunki

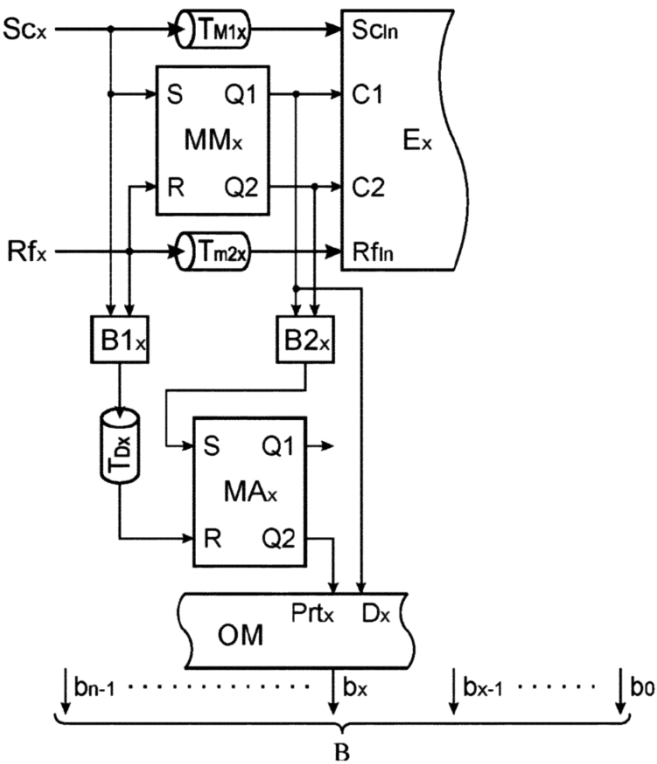


Fig. 1.

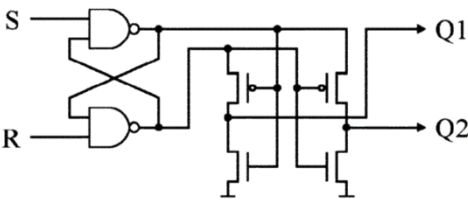


Fig. 2.

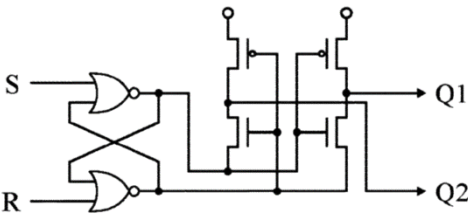


Fig. 3.

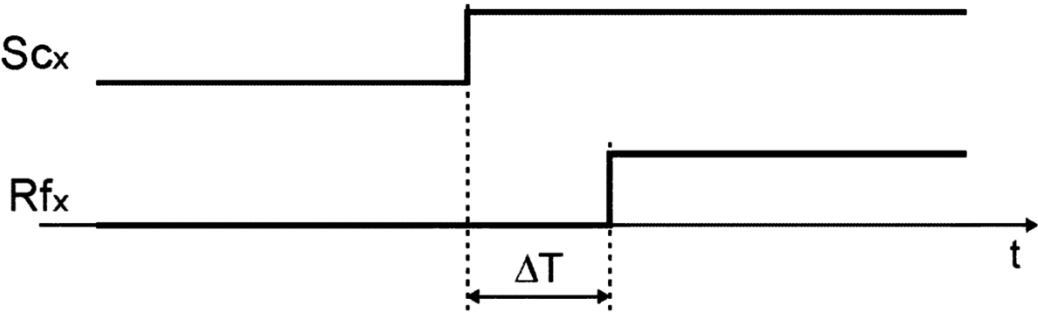


Fig. 4.

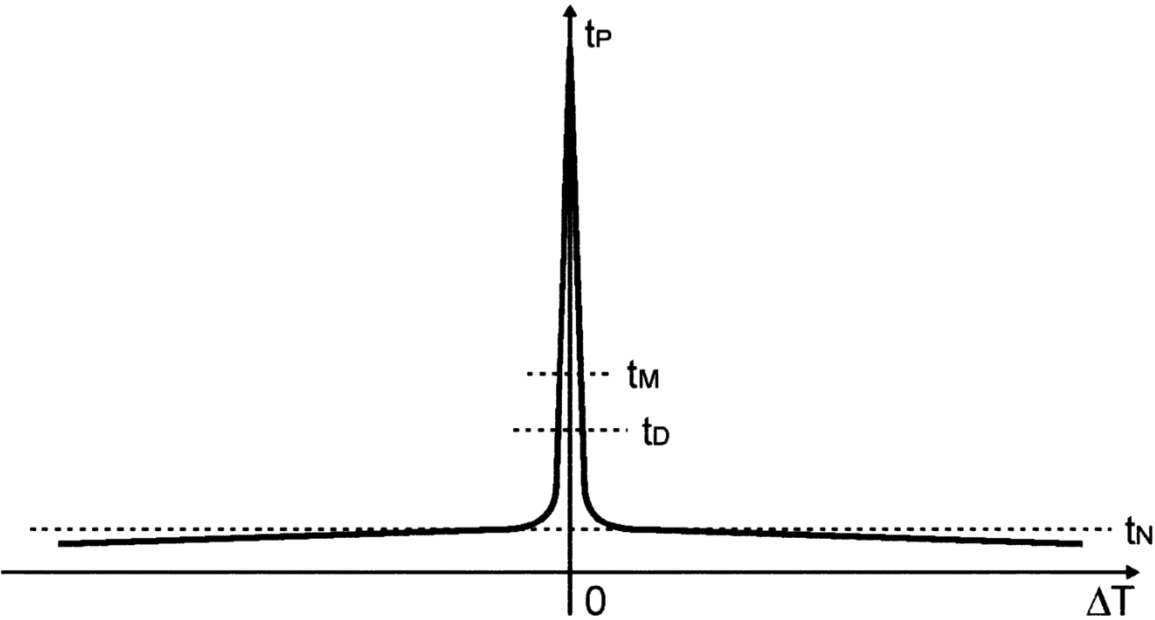


Fig. 5.