

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY 130 813

Patent dodatkowy
do patentu _____

Zgłoszono: 81 01 27 /P. 229 421/

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 82 08 02

Opis patentowy opublikowano: 1985 12 30

Int. Cl.³ G05B 19/18

Twórcy wynalazku: Jacek Seńkowski, Herbert Widlok, Henryk Zygmunt,
Marek Borysławski, Kazimierz Bisztyga

Uprawniony z patentu: Akademia Górniczo-Hutnicza im. Stanisława Staszica,
Kraków /Polska/

UKŁAD PROGRAMOWANIA

Przedmiotem wynalazku jest układ programowania, mający zastosowanie, zwłaszcza, do wprowadzania danych, pod wskazanym adresem, do cyfrowych układów regulacji prędkości obrotowej lub układów cyfrowego sterowania położenia lancy tlenowej.

Znany /polski opis patentowy nr 69 762/ układ zadający zawiera nastawczy element i blok adresowy połączony z dwójkowo-dziesiętnym licznikiem asynchronicznym oraz z branką bezpośrednio i poprzez człon odmierzający czas otwarcia bramki. Licznik jest połączony z komparatorem, z którym jest również połączony dwójkowo-dziesiętny synchronizowany licznik. Wejście tego licznika jest połączone, poprzez bramkę, ze źródłem częstotliwości podstawowej. Wyjście komparatora jest połączone z wejściem kasującym licznika poprzez człon opóźniający.

Układ programowania zawierający zadajnik klawiszowy, ma blok rejestru danych, którego wejście danych jest połączone poprzez separator, linię przesyłową, blok wyprowadzania danych, multiplekser i rejestr z zadajnikiem klawiszowym. Wejście sterujące bloku rejestru danych jest połączone, poprzez blok organizacji, z wyjściem sterującym separatora. Wyjście adresowe bloku rejestru danych jest połączone, poprzez deszyfrator adresowy, z wejściem adresowym rozdzielacza danych, którego wejście częstotliwościowe jest połączone, poprzez dzielnik częstotliwości, z wyjściem danych bloku rejestru danych. Ponadto dzielnik częstotliwości jest połączony ze źródłem częstotliwości zegarowej, a wyjście rozdzielacza danych stanowi wyjście układu.

Zaletą układu programowania, według wynalazku, jest wyeliminowanie zakłóceń indukowanych w linii przesyłowej do układu programowania, dzięki zastosowaniu separatora. Przez wprowadzenie multipleksera ogranicza się do minimum ilość torów linii przesyłowej. Ponadto zadajnik klawiszowy umożliwia śledzenie nastawianych cyfr, co pozwala na dokonanie natychmiastowej korekty w przypadku popełnienia pomyłki podczas programowania. Układ według wynalazku odznacza się niezawodną pracą.

Przedmiot wynalazku jest uwidoczniony w przykładowym wykonaniu na rysunku, który przedstawia schemat blokowy układu.

Układ zawiera szeregowo-równoległy blok wyprowadzenia danych 1, którego wejście jest połączone, poprzez multiplekser 2 i rejestr 3, z zadajnikiem klawiszowym 4. Wyjście bloku wyprowadzenia danych 1 jest połączone, poprzez linię przesyłową 5, z wejściem separatora 6, którego jedno wyjście jest połączone z wejściem danych bloku rejestru danych 7, a drugie wyjście separatora 6 łączy się, poprzez blok organizacji 8, z wejściem sterującym bloku rejestru danych 7. Wyjście adresowe bloku rejestru danych 7 jest połączone, poprzez deszyfrator adresowy 9, z wejściem adresowym rozdzielacza danych 10, a wyjście danych bloku rejestru danych 7 jest połączone, poprzez dzielnik częstotliwości 11, z wejściem częstotliwości rozdzielacza danych 10, którego wyjście stanowi wyjście układu. Ponadto dzielnik częstotliwości 11 jest połączony ze źródłem częstotliwości zegarowej 12.

Działanie układu programowania, według wynalazku, polega na tym, że zadajnikiem klawiszowym 4 zadaje się liczbę odpowiadającą zadanej prędkości obrotowej oraz liczbę odpowiadającą numerowi adresu, pod który zadana wartość ma być wprowadzana. Obie informacje zostają zakodowane i zapisane w rejestrze 3. Informacje te po przetworzeniu w multiplekserze 2 i w bloku wyprowadzenia danych 1, przesyła się linią przesyłową 5, poprzez separator 6, do bloku rejestru danych 7 i do bloku organizacji 8, organizującego pracę bloku rejestru danych 7. W bloku rejestru danych 7 informacja zostaje zapamiętana i po zdekodowaniu przetwarza się ją na informację o zadanej prędkości i pozycji adresu napędu. Liczba zadanej prędkości n_z stanowi liczbę podziału częstotliwości zegarowej f_p . Proces dzielenia częstotliwości zegarowej f_p przez liczbę podziału n_z przeprowadza się w dzielniku częstotliwości 11. Na wyjściu dzielnika częstotliwości pojawia się sygnał o częstotliwości $f_1 = \frac{f_p}{n_z}$. Czas pracy dzielnika częstotliwości 11 jest ograniczony do 0,5 s. Suma impulsów pojawiających się w tym czasie na wyjściu dzielnika, stanowi o wartości zadanej dla cyfrowego układu regulacji prędkości obrotowej. Impulsy te wprowadza się do rozdzielacza danych 10. Na podstawie informacji z deszyfratora adresowego 9, impulsy wartości zadanej zostają skierowane na odpowiednie wyjście rozdzielacza danych 10. Dzięki temu informacja o wartości zadanej dociera tylko do wybranego adresem cyfrowego regulatora prędkości. Układ programowania może obsługiwać łącznie 99 jednostek regulatorów cyfrowych.

Z a s t r z e ż e n i e p a t e n t o w e

Układ programowania zawierający zadajnik klawiszowy, z n a m i e n n y t y m, że ma blok rejestru danych /7/, którego wejście danych jest połączone poprzez separator /6/, linię przesyłową /5/, blok wyprowadzenia danych /1/, multiplekser /2/ i rejestr /3/ z zadajnikiem klawiszowym /4/, zaś wejście sterujące łączy się, poprzez blok organizacji /8/, z separatorem /6/, natomiast wyjście adresowe bloku rejestru danych /7/ jest połączone, poprzez deszyfrator adresowy /9/, z wejściem adresowym rozdzielacza danych /10/, którego wejście częstotliwościowe jest połączone, poprzez dzielnik częstotliwości /11/, z wyjściem danych bloku rejestru danych /7/, ponadto dzielnik częstotliwości /11/ jest połączony ze źródłem częstotliwości zegarowej /12/, a wyjście rozdzielacza danych /10/ stanowi wyjście układu.



