



Patent dodatkowy
do patentu _____

Zgłoszono: 30.06.1970 (P. 141 698)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 30.11.1972

Opis patentowy opublikowano: 04.06.1974

Kl. 21c,59/10

MKP H02p 5/12

Współtwórcy wynalazku: Jan Manitus, Jacek Seńkowski, Jerzy Wyżga, Henryk Zygmunt, Piotr Macko, Herbert Widlok, Andrzej Zur, Jerzy Kardaszewicz, Wacław Grzybowski

Uprawniony z patentu: Akademia Górniczo-Hutnicza im. Stanisława Staszica, Kraków (Polska)

Analogowo-cyfrowy astatyczny układ regulacji prędkości obrotowej

1

Przedmiotem wynalazku jest analogowo — cyfrowy astatyczny układ regulacji prędkości obrotowej, znajdujący zastosowanie w napędach prądu stałego, zasilanych z przekształtników statycznych. Układ służy do bardzo dokładnej regulacji prędkości obrotowej silnika.

W dotychczas znanych układach porównywanie prędkości zadanej i rzeczywistej odbywa się drogą statycznego zliczania impulsów zadających i impulsów odtwarzających rzeczywistą prędkość przez określony czas pomiaru i korygowania analogowego wzorca prędkości porcjami w odstępach taktu pomiarowego. W układach które porównują częstotliwość zadaną z częstotliwością mierzoną odpowiadającą rzeczywistej prędkości napędu, zadawanie prędkości wzorcowej odbywa się przez sumowanie kilku ciągów impulsów o różnych częstotliwościach co powoduje nierównomierne rozłożenie tych impulsów w czasie.

Celem wynalazku jest zapewnienie bardzo dokładnego zadawania i stabilizacji prędkości oraz osiągnięcie możliwie najmniejszego błędu dynamicznego w szybko działających układach napędów przekształtnikowych.

Cel ten został osiągnięty przez skonstruowanie analogowo — cyfrowego, astatycznego układu regulacji prędkości obrotowej, w którym układ zadawania jest połączony z wejściem rejestru dzielnika częstotliwości a wyjście dzielnika częstotliwości z jednym wejściem bloku różnicowego, przy czym

2

drugie wejście tego bloku jest połączone z impulsatorem. Rejestr dzielnika częstotliwości jest połączony z konwerterem cyfrowo — analogowym odwrotnym, którego wyjście jest połączone z wejściem podstawowym regulatora prędkości, a wyjście licznika rewersyjnego jest połączone z konwerterem cyfrowo — analogowym prostym, przy czym wyjście tego konwertera jest połączone z wejściem korekcyjnym regulatora prędkości.

10 Analogowo — cyfrowy, astatyczny układ regulacji prędkości obrotowej według wynalazku jest uwidoczniiony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy układu, fig. 2 schemat układu zadawania, fig. 3 schemat blokowy dzielnika częstotliwości i fig. 4 schemat bloku różnicowego.

15 Analogowo — cyfrowy, astatyczny układ regulacji prędkości obrotowej, według wynalazku, zawiera zadający układ 1, który jest połączony z wejściem W2 rejestru dzielnika częstotliwości 2 (fig 1). Wejście W1 dzielnika częstotliwości 2 jest połączone ze źródłem częstotliwości podstawowej. Wyjście W3 dzielnika częstotliwości 2 jest połączone z wejściem B różnicowego bloku 3, którego drugie wejście A jest połączone z impulsatorem. Rejestr dzielnika częstotliwości 2 jest połączony z cyfrowo — analogowym konwerterem odwrotnym 5, którego wyjście jest połączone z wejściem podstawowym regulatora prędkości 6.

20 Różnicowy blok 3 jest połączony z rewersyjnym

licznikiem 7, którego wyjście jest połączone z cyfrowo — analogowym konwerterem prostym 8. Wyjście konwertera 8 jest połączone z wejściem korekcyjnym regulatora prędkości 6, połączonym poprzez regulator prądu 9 z układem napędowym 10, obejmującym silnik wraz z zasilaniem. Na wyjściu układu napędowego 10, to jest na wale silnika, przyłączony jest tachogenerator 11, połączony z wejściem regulatora prędkości 6 oraz impulsator 4. Wyjście tego impulsatora 4 jest połączone z wejściem A różnicowego bloku 3 i ze wskaźnikiem 12, wyświetlającym wartość aktualnej prędkości napędu. Z wyjściem dzielnika częstotliwości 2 jest połączony wskaźnik 13, wyświetlający prędkość zadaną.

Zadający układ 1 zawiera nastawczy element N i adresowy blok BA, połączony z dwójkowo — dziesiętnym licznikiem asynchronicznym L1 oraz z bramką B1 bezpośrednio i poprzez człon T1, odmierzający czas otwarcia bramki B1 (fig. 2). Licznik L1 jest połączony z komparatorem K1, z którym połączony jest również dwójkowo — dziesiętny synchronizowany licznik L2. Wejście tego licznika L2 jest połączone poprzez bramkę B1 ze źródłem częstotliwości podstawowej. Wyjście komparatora K1 jest połączone z wejściem kasującym licznika L2 poprzez człon opóźniający T2.

Dzielnik częstotliwości 2 zawiera binarny licznik L3, synchroniczny licznik rewersyjny L4 oraz połączony z nimi komparator K2 (fig. 3). Wyjście komparatora K2, które jest jednocześnie wyjściem dzielnika częstotliwości 2, jest połączone poprzez człon opóźniający T3 z wejściem kasującym synchronicznego licznika binarnego L3.

Różnicowy blok 3 jest zbudowany w ten sposób, że wejście A jest połączone z wejściem zliczającym przerzutników P1 i P2 oraz z wejściami kasującymi przerzutników P3 i P4 a ponadto z bramką B2 (fig. 4). Wyjście pozytywne Q przerzutnika P1 jest połączone z wejściami bramkującymi przerzutnika P2, zaś wyjście znegowane Q przerzutnika P2 jest połączone z wejściami bramkującymi przerzutnika P1 natomiast wyjście pozytywne Q przerzutnika P2 jest połączone z bramką B2. Wejście B jest połączone z wejściami zliczającymi przerzutników P3 i P4 oraz wejściami kasującymi przerzutników P1 i P2 a ponadto z bramką B3. Wyjście pozytywne Q przerzutnika P3 jest połączone z wejściami bramkującymi przerzutnika P4 zaś wyjście znegowane Q przerzutnika P4 jest połączone z wejściami bramkującymi przerzutnika P3, natomiast wyjście pozytywne Q przerzutnika P4 jest połączone z bramką B3.

Układ według wynalazku zawiera dwa sprzężenia zwrotne od prędkości obrotowej: statyczne, zrealizowane w technice analogowej oraz астатyczne, zrealizowane w technice cyfrowej. Zadana prędkość jest wprowadzana do zadającego układu 1 w postaci liczby dziesiętnej równej zadanej prędkości, wyrażonej w obrotach na minutę.

Zadający układ 1 służy do przetworzenia wybranej prędkości obrotowej na określoną liczbę impulsów

$$1/n_A = \frac{f_p}{n_z}$$

gdzie n_z prędkość zadana w obr/min

f_p częstotliwość podstawowa 1/sek

Wybór prędkości zadanej odbywa się za pomocą elementu nastawczego, który mogą stanowić przyciski, przełączniki dekadowe lub tarcza telefoniczna. W opisywanym układzie elementem nastawczym jest telefoniczna tarcza N.

Zadana prędkość jest wybierana w kodzie dziesiętnym za pomocą telefonicznej tarczy N w postaci liczb, oznaczających kolejno jednostki, dziesiątki, setki i tysiące i wprowadzana poprzez adresowy blok BA do odpowiednich dekad licznika L1. Dekady te pracują w układzie asynchronicznych liczników dwójkowo — dziesiętnych o kodzie 1-2-4-8.

Wybranie liczby, odpowiadającej ostatniej dekadzie, kończy proces wprowadzania liczby n_z do licznika L1 oraz powoduje wysłanie impulsu otwierającego bramkę B1 i załączającego człon T1, odmierzający czas otwarcia bramki. W opisywanym układzie czas ten wynosi 1 sekundę i jest synchronizowany częstotliwością f_p . Częstotliwość podstawowa f_p , wprowadzona na wejście dwójkowo — dziesiętnego licznika synchronicznego L2, jest zliczana od chwili otwarcia bramki B1.

Stany zapełnienia obu liczników L1 i L2 są porównywane w komparatorze K1. W chwili zrównania się stanu zapełnienia licznika L2 ze stanem zapełnienia licznika L1, na wyjściu komparatora K1 pojawia się impuls, który przez człon opóźniający T2 powoduje skasowanie licznika L2. Zjawisko powtarza się cyklicznie z częstotliwością $f_A = \frac{f_p}{n_z}$.

Ponieważ bramka B1 jest otwarta przez czas, równy jednej sekundzie, liczba impulsów, wytworzonych przez zadający układ 1 wynosi $n_A = \frac{f_p}{n_z}$.

Liczba ta zostaje wprowadzona do rejestru dzielnika częstotliwości 2, jako liczba podziału częstotliwości podstawowej f_p . Jednocześnie liczba n_A zostaje przetworzona w konwerterze odwrotnym 5 na sygnał analogowy, proporcjonalny do jej odwrotności, a tym samym proporcjonalny do zadanej prędkości obrotowej. Sygnał ten stanowi wzorzec prędkości dla części analogowej układu regulacji i jest wprowadzony na wejście podstawowe regulatora prędkości 6.

Sygnał wyjściowy regulatora prędkości 6 stanowi wzorzec dla regulatora prądu 9. Z kolei sygnał wyjściowy regulatora prądu 9 jest sygnałem sterującym dla układu napędowego 10, obejmującego silnik wraz z zasilającym go przekształtnikiem. Układ napędowy 10 otwiera zadaną wartość prądu i prędkości obrotowej. Napięcie tachogeneratorskie 11, proporcjonalne do aktualnej prędkości napędu, jest przyłożone na wejście regulatora prędkości 6 jako sygnał analogowego sprzężenia zwrotnego według prędkości. Sygnałem sprzężenia zwrotnego dla części cyfrowej układu jest częstotliwość f_A na wyjściu impulsatora 4, proporcjonalna do aktualnej prędkości napędu. Konwerter odwrotny 5 przetwarza liczbę n_A z pominięciem czterech najniższych bitów.

Dzielnik częstotliwości 2 dzieli częstotliwość podstawową f_p z podziałem n_A , w wyniku czego na jego wyjściu pojawia się częstotliwość $f_z = \frac{f_p}{n_A}$, proporcjonalna do prędkości zadanej, będąca wzorcem dla części cyfrowej układu.

Dzielnik częstotliwości 2 działa następująco: do synchronicznego licznika rewersywnego L4, który spełnia rolę nieprzesuwanego rejestru, wprowadzona jest poprzez wejście W2 liczba podziału n_A . Częstotliwość podstawowa f_p , wprowadzona na wejście W1, powoduje zwiększanie liczby, zapisanej w binarnym liczniku L3. Stany zapełnienia obu liczników L3 i L4 są porównywane w komparatorze K2. W chwili zrównania się stanu zapełnienia licznika L3 ze stanem zapełnienia licznika L4 na wyjściu komparatora K2 pojawia się impuls, który przez człon opóźniający T3 powoduje skasowanie licznika L3. Zjawisko powtarza się cyklicznie z częstotliwością $f_z = \frac{f_p}{n_A}$. Ze względu na częstotliwość pracy i pewność działania dzielnika liczniki L3 i L4 są wykonane jako liczniki synchroniczne. Częstotliwość f_z jest porównywana w różnicowym bloku 3 z częstotliwością f_a impulsatora 4, proporcjonalną do aktualnej prędkości napędu.

Różnicowy blok 3 określa różnicę dwóch częstotliwości, wprowadzonych na jego wejścia, którą w postaci ciągu impulsów wykazuje w zależności od znaku na jednym z dwu wyjść. Różnicowy blok 3 działa następująco: w stanie początkowym wszystkie przerzutniki P1, P2, P3 i P4 znajdują się w stanie „zero”. Pojawienie się pierwszego impulsu na wejściu A powoduje zapisanie stanu „jeden” w przerzutniku P1, przygotowanie przerzutnika P2 do przyjęcia stanu „jeden” oraz wystąpienie sygnału kasującego na przerzutnikach P3 i P4. Następny impuls na wejściu A, o ile w międzyczasie nie wystąpił impuls na wejściu B, powoduje zapisanie stanu „jeden” w przerzutniku P2, otwarcie bramki B2 i pojawienie się impulsu na wyjściu C oraz wystąpienie sygnału kasującego na przerzutnikach P3 i P4.

Przyłożenie impulsu na wejście B, przy nieobecności impulsów na wejściu A, powoduje działanie przerzutników P3 i P4 oraz bramki B3, analogiczne do opisanego wyżej działania przerzutników P1 i P2 oraz bramki B2. W przypadku przemiennej kolejności impulsów na wejściach A i B na przykład A B A B, na wyjściach C i D nie wystąpią impulsy. Dopiero w przypadku kolejności A B A A B lub A B A A ... A B, t.j. gdy liczba N_A impulsów na wejściu A przewyższa liczbę N_B impulsów na wejściu B, wszystkie impulsy A nie zrównoważone impulsami B zostaną wykazane na wyjściu C. Liczba impulsów N_C na wyjściu C jest równa różnicy liczby N_A impulsów na wejściu A i liczby N_B impulsów na wejściu B, natomiast na wyjściu D impulsy nie występują.

W przypadku kolejności A B B A lub A B B ... B A, t.j. gdy liczba N_B impulsów na wejściu B przewyższa liczbę N_A na wejściu A, nadmiar impulsów B zostanie wykazany na wyjściu D. Ogól-

nie działanie bloku różnicowego 3 można zapisać przy pomocy zależności:

$$\begin{aligned} &\text{dla } N_A = N_B & N_C = N_D = 0 \\ &\text{dla } N_A > N_B & N_C = N_A - N_B \text{ i } N_D = 0 \\ &\text{dla } N_A < N_B & N_C = 0 \text{ i } N_D = N_B - N_A \end{aligned}$$

Różnicowy blok 3 działa również poprawnie w przypadku jednoczesnego wystąpienia impulsów na obu wejściach. Na wyjściu różnicowego bloku 3 pojawia się różnica częstotliwości wzorcowej f_z i aktualnej f_a , która jest sumowana w rewersywnym liczniku 7 stanowiąca całość z błędem napędowego układu 10 jest przekazywana do prostego konwertera 8, który zamienia ją na sygnał analogowy. Sygnał ten stanowi korektę wzorca prędkości z odwrotnego konwertera 5 i jest podany na wejście korekcyjne regulatora prędkości 6.

Częstotliwość zadana f_z jest wyświetlana we wskaźniku 13, a częstotliwość aktualna we wskaźniku 12 w postaci liczb dziesiętnych, wyrażonych w obrotach na minutę. Za wyjątkiem zadającego układu 1 pozostała część cyfrowa pracuje w kodzie dwójkowym.

Analogowo — cyfrowy astatyczny układ regulacji prędkości obrotowej według wynalazku odznacza się wysoką dokładnością i zarazem prostotą zadawania prędkości, dużą szybkością i ciągłością działania dzięki temu, że część cyfrowa nie jest skwantowana w czasie. W wyniku astatycznej regulacji układ charakteryzuje się brakiem błędów statycznego i małym błędem dynamicznym.

Zastrzeżenia patentowe

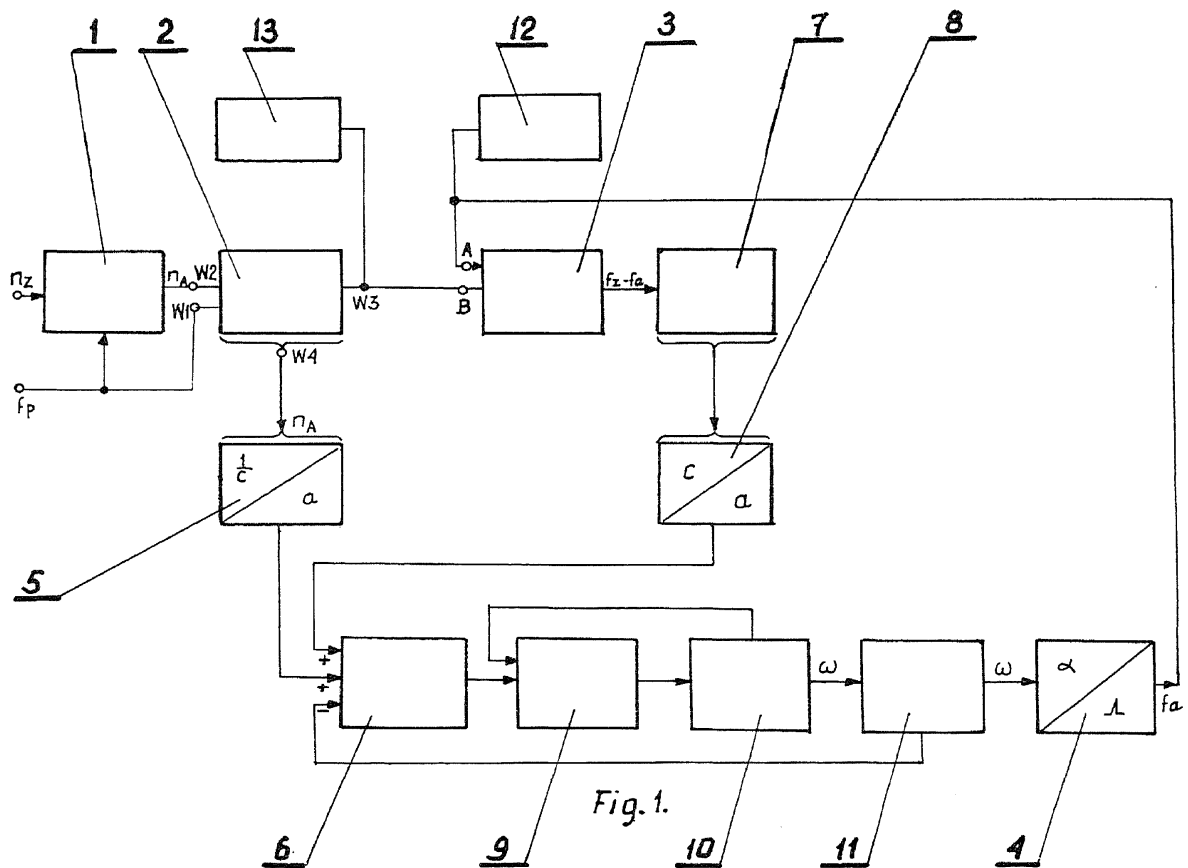
1. Analogowo — cyfrowy astatyczny układ regulacji prędkości obrotowej, z porównywaniem częstotliwości oraz szeregowym łączeniem regulatorów prędkości i prądu, zawierający przetworniki cyfrowo — analogowe, dzielnik częstotliwości, licznik rewersywny oraz część analogową układu regulacji, **znamienny tym**, że ma zadający układ (1), połączony z wejściem (W2) rejestru dzielnika częstotliwości (2), zaś wyjście (W3) dzielnika częstotliwości (2) jest połączone z jednym wejściem (B) różnicowego bloku (3), którego drugie wejście (A) jest połączone z impulsatorem (4), przy czym rejestr dzielnika częstotliwości (2) jest połączony z cyfrowo — analogowym konwerterem odwrotnym (5), którego wyjście jest połączone z wejściem podstawowym regulatora prędkości (6), a wyjście rewersywnego licznika (7) jest połączone z cyfrowo — analogowym konwerterem prostym (8), którego wyjście jest połączone z wejściem korekcyjnym regulatora (6) prędkości.

2. Analogowo — cyfrowy układ według zastrz. 1, **znamienny tym**, że zadający układ (1) zawiera adresowy blok (BA), połączony z asynchronicznym, dwójkowo — dziesiętnym licznikiem (L1) oraz z bramką (B1) bezpośrednio i poprzez człon (T1), odmierzający czas otwarcia bramki (B1), zaś asynchroniczny licznik (L1) jest połączony z komparatorem (K1), z którym jest połączony również syn-

chroniczny, dwójkowo-dziesiętny licznik (L2), przy czym wejście tego licznika (L2) jest połączone poprzez bramkę (B1) ze źródłem częstotliwości podstawowej, a jego wejście kasujące jest połączone z wyjściem komparatora (K1) poprzez opóźniający człon (T1).

3. Analogowo — cyfrowy układ według zastrz. 1 i 2, **znamienny tym**, że wejście (A) różnicowego bloku (3) jest połączone z wejściami zliczającymi przerzutników (P1) i (P2) oraz z wejściami kasującymi przerzutników (P3) i (P4), a ponadto z bramką (B2), przy czym wyjście pozytywne (Q) przerzutnika (P1) jest połączone z wejściami bramkującymi przerzutnika (P2), a wyjście znegowane (Q) przerzutnika (P2) jest połączone z wejściami

bramkującymi przerzutnika (P1), zaś wyjście pozytywne (Q) przerzutnika (P2) jest połączone z bramką (B2), natomiast wejście (B) różnicowego bloku (3) jest połączone z wejściami zliczającymi przerzutników (P3) i (P4) oraz z wejściami kasującymi przerzutników (P1) i (P2), a ponadto z bramką (B3), przy czym wyjście pozytywne (Q) przerzutnika (P3) jest połączone z wejściami bramkującymi przerzutnika (P4), a wyjście znegowane (Q) przerzutnika (P4) jest połączone z wejściami bramkującymi przerzutnika (P3), zaś wyjście pozytywne (Q) przerzutnika (P4) jest połączone z bramką (B3).



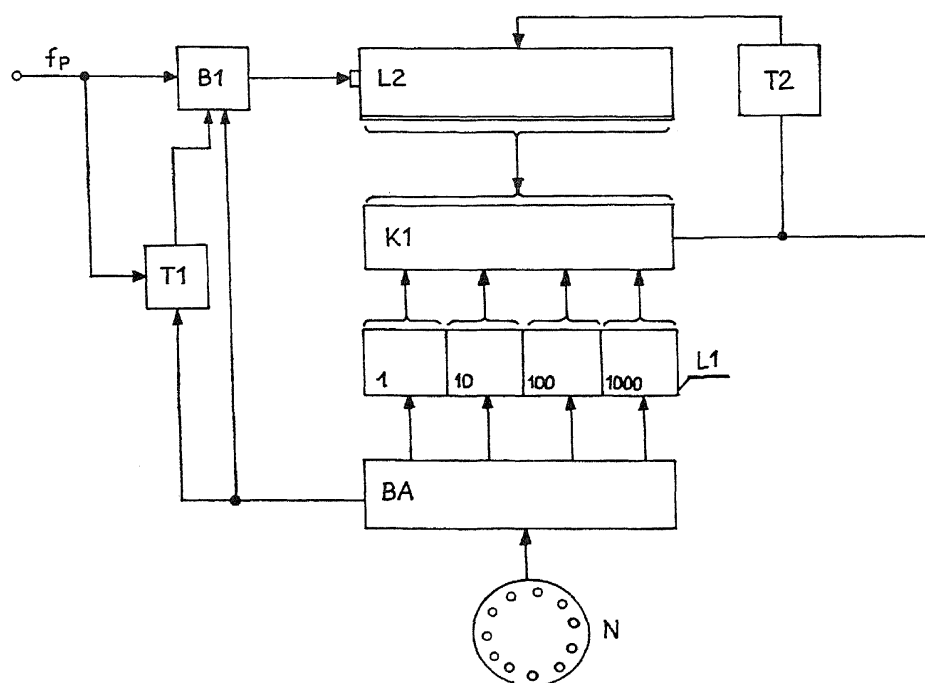


Fig. 2

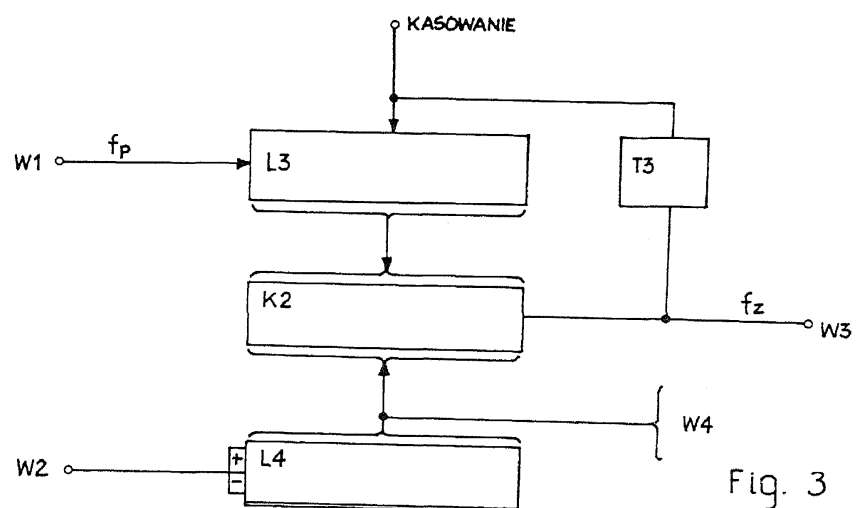


Fig. 3

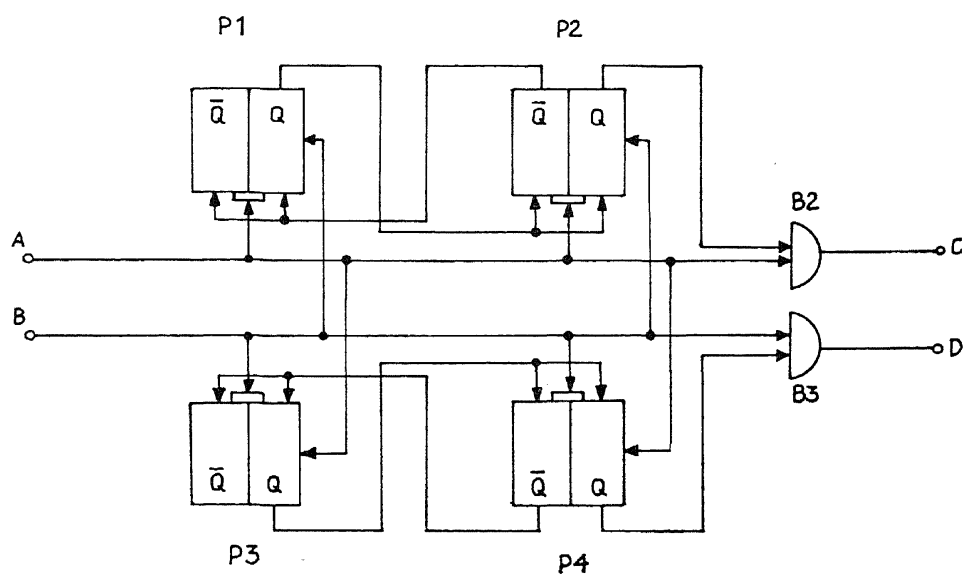


Fig.4.