

RZECZPOSPOLITA
POLSKA



Urząd Patentowy
Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY**

(19) **PL**

(11) **220484**

(13) **B1**

(21) Numer zgłoszenia: **397954**

(22) Data zgłoszenia: **31.01.2012**

(51) Int.Cl.

H03M 1/00 (2006.01)

H03M 1/38 (2006.01)

H03M 1/14 (2006.01)

(54) **Sposób bezzegarowego przetwarzania wielkości ładunku elektrycznego
na słowo cyfrowe**

(43) Zgłoszenie ogłoszono:
05.08.2013 BUP 16/13

(45) O udzieleniu patentu ogłoszono:
30.10.2015 WUP 10/15

(73) Uprawniony z patentu:

**AKADEMIA GÓRNICZO-HUTNICZA
IM. STANISŁAWA STASZICA W KRAKOWIE,
Kraków, PL**

(72) Twórca(y) wynalazku:

**DARIUSZ KOŚCIELNIK, Kraków, PL
MAREK MIŚKOWICZ, Kraków, PL**

(74) Pełnomocnik:

rzecz. pat. Małgorzata Geissler

PL 220484 B1

Opis wynalazku

Przedmiotem wynalazku jest sposób bezzegarowego przetwarzania wielkości napięcia elektrycznego na słowo cyfrowe, znajdujący zastosowanie w systemach kontrolno-pomiarowych.

Znany z polskiego zgłoszenia patentowego nr P-391419 sposób przetwarzania wielkości ładunku elektrycznego na słowo cyfrowe polega na gromadzeniu w kondensatorze próbkującym ładunku elektrycznego dostarczanego za pomocą wejścia ładunku. Ładunek ten gromadzi się podczas trwania aktywnego stanu sygnału bramkującego. Po zakończeniu gromadzenia ładunku elektrycznego w kondensatorze próbkującym zgromadzony ładunek elektryczny poddaje się procesowi redystrybucji, rozmieszczając go w kondensatorach zespołu kondensatorów, przy czym pojemność każdego kondensatora o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego. W trakcie procesu redystrybucji zgromadzony ładunek elektryczny tak rozmieszcza się w kondensatorach zespołu kondensatorów, aby na każdym z nich, ewentualnie za wyjątkiem jednego, uzyskać napięcie równe zero lub równe napięciu odniesienia. Przebieg procesu redystrybucji nadzoruje się za pomocą modułu sterującego na podstawie sygnałów wyjściowych pierwszego komparatora i drugiego komparatora. Ładunek elektryczny przenosi się pomiędzy kondensatorami w trakcie procesu jego redystrybucji za pomocą źródła prądowego. Bitom słowa cyfrowego, przyporządkowanym kondensatorom zespołu kondensatorów, na których uzyskano napięcie równe napięciu odniesienia przypisuje się za pomocą modułu sterującego wartość jeden, a pozostałym bitom tego słowa przypisuje się wartość zero. W jednym z wariantów tego rozwiązania ładunek elektryczny gromadzi się jednocześnie w kondensatorze próbkującym i łączonym z nim równolegle kondensatorze o największej pojemności w zespole kondensatorów.

Zgodnie z wynalazkiem sposób bezzegarowego przetwarzania wielkości ładunku elektrycznego na słowo cyfrowe polega na gromadzeniu ładunku elektrycznego dostarczanego za pomocą wejścia ładunku w kondensatorze próbkującym lub w kondensatorze próbkującym i łączonym z nim równolegle kondensatorze o największej pojemności w zespole redystrybucji. Ładunek ten gromadzi się od chwili wykrycia za pomocą modułu sterującego początku sygnału bramkującego, aż do chwili wykrycia za pomocą modułu sterującego końca sygnału bramkującego. Następnie realizuje się w zespole redystrybucji proces redystrybucji zgromadzonego ładunku elektrycznego, w znany sposób, za pomocą modułu sterującego, przez zmiany stanów sygnałów z odpowiednich wyjść sterujących oraz przypisuje się za pomocą modułu sterującego, odpowiednie wartości bitom słowa cyfrowego. Zespół redystrybucji zawiera zestaw łączników, przełączników i kondensatorów, takich, że pojemność każdego kondensatora o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego.

Istotą sposobu według wynalazku jest to, że po zakończeniu gromadzenia ładunku elektrycznego w kondensatorze próbkującym, lub w kondensatorze próbkującym i łączonym z nim równolegle kondensatorze o największej pojemności w zespole redystrybucji, oraz wykryciu za pomocą modułu sterującego początku następnego sygnału bramkującego, ładunek elektryczny dostarczany za pomocą wejścia ładunku gromadzi się w dodatkowym kondensatorze próbkującym. Następnie realizuje się proces redystrybucji ładunku elektrycznego zgromadzonego w dodatkowym kondensatorze próbkującym oraz przypisuje się za pomocą modułu sterującego odpowiednie wartości bitom słowa cyfrowego. Gromadzenie ładunku elektrycznego w dodatkowym kondensatorze próbkującym, proces redystrybucji ładunku elektrycznego zgromadzonego w dodatkowym kondensatorze próbkującym oraz przypisywanie odpowiednich wartości bitom słowa cyfrowego realizuje się tak, jak dla kondensatora próbkującego.

W sposobie tym możliwe jest to, że po zakończeniu gromadzenia ładunku elektrycznego w dodatkowym kondensatorze próbkującym oraz wykryciu za pomocą modułu sterującego początku kolejnego sygnału bramkującego, rozpoczyna się kolejny cykl, a ładunek elektryczny dostarczany za pomocą wejścia ładunku gromadzi się ponownie w kondensatorze próbkującym lub w kondensatorze próbkującym i łączonym z nim równolegle kondensatorze o największej pojemności w zespole redystrybucji.

W sposobie tym możliwe jest to, że w okresie, gdy ładunek elektryczny dostarczany za pomocą wejścia ładunku gromadzi się w dodatkowym kondensatorze próbkującym, to jednocześnie część dostarczanego ładunku elektrycznego gromadzi się w dodatkowym kondensatorze o największej pojemności w zespole redystrybucji, łączonym równolegle z dodatkowym kondensatorem próbkującym.

Pojemność dodatkowego kondensatora o największej pojemności w zespole redystrybucji jest równa pojemności kondensatora o największej pojemności w zespole redystrybucji.

W sposobie tym możliwe jest również to, że po zakończeniu procesu redystrybucji, w ostatnim z kondensatorów, na którym podczas realizowania procesu redystrybucji nie uzyskano napięcia odniesienia, pozostawia się zgromadzony tam ładunek elektryczny. Ładunek ten jest uwzględniany podczas realizowania następnego procesu redystrybucji.

Dzięki gromadzeniu w dodatkowym kondensatorze próbkującym drugiej porcji ładunku elektrycznego możliwe jest przetwarzanie na słowa cyfrowe wielkości dwóch porcji ładunku elektrycznego, zgromadzonych w czasie trwania dwóch kolejnych sygnałów bramkujących, bez konieczności wprowadzania pomiędzy te sygnały bramkujące przerwy służącej do realizowania procesu redystrybucji zgromadzonego ładunku elektrycznego oraz fazy relaksacji. Gromadzenie w dodatkowym kondensatorze próbkującym drugiej porcji ładunku elektrycznego jest wykonywane równocześnie z realizowaniem procesu redystrybucji pierwszej porcji ładunku, zgromadzonej w kondensatorze próbkującym. Dzięki temu wyniki każdego z pomiarów są podawane z minimalnym opóźnieniem, równym czasowi realizowania procesu redystrybucji. Ponadto, wykonywanie czynności związanych z przetwarzaniem obu porcji ładunku elektrycznego przez ten sam moduł sterujący, zespół redystrybucji oraz zestaw komparatorów i źródło prądowe przyczynia się do zredukowania ilości energii pobieranej przez układ w przeliczeniu na pojedynczy proces przetwarzania, podnosząc jego sprawność energetyczną.

Rozpoczynanie nowego cyklu przetwarzania po każdym wykryciu końca aktualnego sygnału bramkującego i początku następnego sygnału bramkującego czyni możliwym przetwarzanie za pomocą jednego układu wielkości kolejnych porcji ładunku elektrycznego, wydzielanych występującymi bezpośrednio po sobie sygnałami bramkującymi. Dzięki powyższemu unika się konieczności wprowadzania pomiędzy sygnały bramkujące przerw potrzebnych do realizowania procesów redystrybucji zgromadzonych porcji ładunku elektrycznego oraz faz relaksacji.

Zastosowanie łączenia równoległego dodatkowego kondensatora próbkującego z dodatkowym kondensatorem o największej pojemności w zespole redystrybucji umożliwia dwukrotne zmniejszenie wymaganej pojemności dodatkowego kondensatora próbkującego i tym samym istotne ograniczenie powierzchni zajmowanej przez przetwornik wykonany w postaci monolitycznego układu scalonego. Dzięki równoległemu łączeniu dodatkowego kondensatora próbkującego z dodatkowym kondensatorem o największej pojemności w zespole redystrybucji maksymalna wielkość napięcia pojawiającego się na dodatkowym kondensatorze próbkującym o zredukowanej pojemności nie ulega zwiększeniu. Ponadto, czas realizowania procesu redystrybucji ładunku elektrycznego zgromadzonego w dodatkowym kondensatorze próbkującym i łączonym z nim równolegle dodatkowym kondensatorze o największej pojemności w zespole redystrybucji jest krótszy o co najmniej 25%.

Zaletą jest także pozostawianie w układzie tej części ładunku elektrycznego, która nie została uwzględniona w wartości wygenerowanego słowa cyfrowego. Uwzględnienie jej podczas procesu redystrybucji następnej porcji zgromadzonego ładunku elektrycznego, w połączeniu z wyeliminowaniem konieczności wprowadzania przerw pomiędzy sygnały bramkujące powoduje, iż suma otrzymanych wyników reprezentuje, z dokładnością do błędu kwantyzacji, wielkość całego ładunku elektrycznego, jaki został dostarczony do wejścia przetwornika w dowolnie długim przedziale czasu.

Przedmiot wynalazku jest objaśniony w przykładach wykonania na rysunku, na którym przedstawiono układ w różnych etapach procesu przetwarzania, a zatem różnych stanach łączników i przełączników:

- Fig. 1 – schemat układu w stanie relaksacji, przed rozpoczęciem procesu przetwarzania
- Fig. 2 – schemat układu podczas gromadzenia ładunku w kondensatorze próbkującym C_n
- Fig. 3 – przykładowa sekwencja sygnałów bramkujących
- Fig. 4 – przykładowa sekwencja sygnałów bramkujących, występujących bezpośrednio po sobie

Fig. 5 – schemat układu w chwili rozpoczęcia redystrybucji ładunku zgromadzonego w kondensatorze próbkującym C_n

Fig. 6 – schemat układu w chwili rozpoczęcia redystrybucji ładunku zgromadzonego w kondensatorze próbkującym C_n i jednoczesnego gromadzenia ładunku w dodatkowym kondensatorze próbkującym C_{nA}

Fig. 7 – schemat układu podczas przenoszenia ładunku z kolejnego kondensatora źródłowego C_i do kondensatora docelowego C_k i jednoczesnego gromadzenia ładunku w dodatkowym kondensatorze próbkującym C_{nA}

Fig. 8 – schemat innej wersji układu w stanie relaksacji przed rozpoczęciem pierwszego procesu przetwarzania

Fig. 9 – schemat innej wersji układu podczas gromadzenia ładunku w kondensatorze próbkującym C_n i łączonym z nim równolegle kondensatorze C_{n-1} .

Zgodnie z wynalazkiem sposób bezzegarowego przetwarzania wielkości ładunku elektrycznego na słowo cyfrowe polega na gromadzeniu ładunku elektrycznego dostarczanego za pomocą wejścia ładunku InQ w kondensatorze próbkującym C_n . Ładunek ten gromadzi się od chwili wykrycia za pomocą modułu sterującego CM początku sygnału bramkującego G_x , aż do chwili wykrycia za pomocą modułu sterującego CM końca sygnału bramkującego G_x . Następnie realizuje się w zespole redystrybucji A proces redystrybucji zgromadzonego ładunku elektrycznego, za pomocą modułu sterującego CM, przez zmiany stanów sygnałów z odpowiednich wyjść sterujących oraz przypisuje się za pomocą modułu sterującego CM odpowiednie wartości bitom b_{n-1} , b_{n-2} , ..., b_1 , b_0 słowa cyfrowego. Zespół redystrybucji A zawiera zestaw łączników, przełączników i kondensatorów, takich, że pojemność każdego kondensatora o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio poprzedzającego.

Po zakończeniu gromadzenia ładunku elektrycznego w kondensatorze próbkującym C_n oraz wykryciu za pomocą modułu sterującego CM początku następnego sygnału bramkującego G_{x+1} , ładunek elektryczny dostarczany za pomocą wejścia ładunku InQ gromadzi się w dodatkowym kondensatorze próbkującym C_{nA} . Następnie realizuje się proces redystrybucji ładunku elektrycznego zgromadzonego w dodatkowym kondensatorze próbkującym C_{nA} oraz przypisuje się za pomocą modułu sterującego CM odpowiednie wartości bitom b_{n-1} , b_{n-2} , ..., b_1 , b_0 słowa cyfrowego. Gromadzenie ładunku elektrycznego w dodatkowym kondensatorze próbkującym C_{nA} , proces redystrybucji ładunku elektrycznego zgromadzonego w dodatkowym kondensatorze próbkującym C_{nA} oraz przypisywanie odpowiednich wartości bitom b_{n-1} , b_{n-2} , ..., b_1 , b_0 słowa cyfrowego realizuje się tak, jak dla kondensatora próbkującego C_n .

Inne przykładowe rozwiązanie charakteryzuje się tym, że po zakończeniu gromadzenia ładunku elektrycznego w dodatkowym kondensatorze próbkującym C_{nA} oraz wykryciu za pomocą modułu sterującego CM początku kolejnego sygnału bramkującego G_{x+2} , rozpoczyna się kolejny cykl, a ładunek elektryczny dostarczany za pomocą wejścia ładunku InQ gromadzi się ponownie w kondensatorze próbkującym C_n .

Inne przykładowe rozwiązanie charakteryzuje się tym, że podczas trwania następnego sygnału bramkującego G_{x+1} , gdy ładunek elektryczny dostarczany za pomocą wejścia ładunku InQ gromadzi się w dodatkowym kondensatorze próbkującym C_{nA} , to w tym przykładzie, jednocześnie część dostarczanego ładunku elektrycznego gromadzi się w dodatkowym kondensatorze C_{n-1A} o największej pojemności w zespole redystrybucji, łączonym równolegle z dodatkowym kondensatorem próbkującym C_{nA} . Pojemność dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji jest równa pojemności kondensatora C_{n-1} o największej pojemności w zespole redystrybucji.

Inne przykładowe rozwiązanie charakteryzuje się tym, że po zakończeniu procesu redystrybucji w ostatnim z kondensatorów, na którym podczas realizowania procesu redystrybucji nie uzyskano napięcia odniesienia U_L , pozostawia się zgromadzony tam ładunek elektryczny.

Szczegółowo, w przykładowym rozwiązaniu, powołany proces redystrybucji przebiega w niżej opisywany sposób. Po zakończeniu gromadzenia ładunku elektrycznego w kondensatorze próbkującym C_n , kondensatorowi próbkującemu C_n przypisuje się, za pomocą modułu sterującego CM, funkcję kondensatora źródłowego C_i , którego indeks jest określany zawartością rejestru indeksu źródłowego, wpisując do tego rejestru wartość indeksu kondensatora próbkującego C_n , a jednocześnie kondensatorowi C_{n-1} o największej pojemności w zespole redystrybucji przypisuje się funkcję kondensatora docelowego C_k , którego indeks jest określany zawartością rejestru indeksu docelowego, wpisując do tego rejestru wartość indeksu kondensatora C_{n-1} o największej pojemności w zespole redystrybucji. Następnie realizuje się proces redystrybucji zgromadzonego ładunku elektrycznego przenosząc ładunek z kondensatora źródłowego C_i do kondensatora docelowego C_k za pomocą źródła prądowego J . Równocześnie, za pomocą drugiego komparatora $K2$, porównuje się napięcie U_k narastające na kondensatorze docelowym z napięciem odniesienia U_L oraz kontroluje się za pomocą pierwszego komparatora $K1$ napięcie U_i na kondensatorze źródłowym. Gdy w trakcie przenoszenia ładunku napięcie U_i na kondensatorze źródłowym, kontrolowane za pomocą pierwszego komparatora $K1$, jest równe zero, wówczas, na podstawie sygnału wyjściowego pierwszego komparatora $K1$, za pomocą modułu sterującego CM, aktualnemu kondensatorowi docelowemu C_k przypisuje się funkcję kondensatora źródłowego C_i .

wpisując do rejestru indeksu źródłowego aktualną zawartość rejestru indeksu docelowego, a funkcję kondensatora docelowego C_k przypisuje się kolejnemu kondensatorowi zespołu redystrybucji A, o pojemności dwukrotnie mniejszej od pojemności kondensatora, który pełnił tę funkcję bezpośrednio wcześniej, zmniejszając o jeden zawartość rejestru indeksu docelowego i kontynuuje się przenoszenie ładunku za pomocą źródła prądowego J z nowego kondensatora źródłowego C_i do nowego kondensatora docelowego C_k . Gdy natomiast w trakcie przenoszenia ładunku z kondensatora źródłowego C_i do kondensatora docelowego C_k , porównywane równocześnie za pomocą drugiego komparatora K2, napięcie C_k na kondensatorze docelowym jest równe napięciu odniesienia U_L , wówczas na podstawie sygnału wyjściowego drugiego komparatora K2 funkcję kondensatora docelowego C_k przypisuje się, za pomocą modułu sterującego CM, kolejnemu kondensatorowi zespołu redystrybucji A, o pojemności dwukrotnie mniejszej od pojemności kondensatora, który pełnił tę funkcję bezpośrednio wcześniej, zmniejszając o jeden zawartość rejestru indeksu docelowego i kontynuuje się przenoszenie ładunku z kondensatora źródłowego C_i do nowego kondensatora docelowego C_k . Proces redystrybucji nadzoruje się za pomocą modułu sterującego CM na podstawie sygnałów wyjściowych pierwszego komparatora K1 i drugiego komparatora K2 aż do momentu, gdy podczas pełnienia funkcji kondensatora docelowego C_k przez kondensator C_0 o najmniejszej pojemności w zespole redystrybucji, kontrolowane równocześnie za pomocą pierwszego komparatora K1, napięcie U_i na aktualnym kondensatorze źródłowym jest równe zero albo porównywane równocześnie za pomocą drugiego komparatora K2 napięcie U_0 , narastające na kondensatorze o najmniejszej pojemności w zespole redystrybucji, jest równe napięciu odniesienia U_L . Bitom słowa cyfrowego, przyporządkowanym kondensatorom zespołu redystrybucji, na których uzyskano napięcie o wartości napięcia odniesienia U_L przypisuje się za pomocą modułu sterującego CM wartość jeden, zaś pozostałym bitom słowa cyfrowego przypisuje się wartość zero.

Przykładowy układ do realizacji sposobu, według wynalazku, zawiera zespół redystrybucji A, którego wejścia sterujące są połączone z wyjściami sterującymi modułu sterującego CM. Moduł sterujący CM jest wyposażony w wyjście słowa cyfrowego B, wyjście zakończenia przetwarzania OutR, wejście bramkujące InG oraz pierwsze wejście sterujące In1, połączone z wyjściem pierwszego komparatora K1 i drugie wejście sterujące In2, połączone z wyjściem drugiego komparatora K2. Do zespołu redystrybucji A jest podłączone źródło napięcia pomocniczego U_H , sekcja kondensatora próbkującego A_n i sterowane źródło prądowe J. Wejście sterujące źródła prądowego J jest połączone z wyjściem sterującym źródłem prądowym A_J . Pierwszy biegun źródła prądowego J jest połączony z szyną źródłową H, a drugi biegun źródła prądowego J jest połączony z szyną docelową L. Zespół redystrybucji zawiera sekcje, których liczba n jest równa liczbie bitów słowa cyfrowego.

Sekcja kondensatora próbkującego A_n i sekcje zespołu redystrybucji A zawierają łączniki źródłowe $S_{Hn}; S_{Hn-1}, S_{Hn-2}, \dots, S_{H1}, S_{H0}$, łączniki docelowe $S_{Ln}; S_{Ln-1}, S_{Ln-2}, \dots, S_{L1}, S_{L0}$, przełączniki masy $S_{Gn}; S_{Gn-1}, S_{Gn-2}, \dots, S_{G1}, S_{G0}$, i kondensatory $C_n; C_{n-1}, C_{n-2}, \dots, C_1, C_0$. Górne okładki kondensatorów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ zespołu redystrybucji są połączone z szyną źródłową H, poprzez łączniki źródłowe $S_{Hn-1}, S_{Hn-2}, \dots, S_{H1}, S_{H0}$ i z szyną docelową L, poprzez łączniki docelowe $S_{Ln-1}, S_{Ln-2}, \dots, S_{L1}, S_{L0}$, a dolne okładki tych kondensatorów, poprzez przełączniki masy $S_{Gn-1}, S_{Gn-2}, \dots, S_{G1}, S_{G0}$, są połączone z masą układu oraz ze źródłem napięcia pomocniczego U_H . W zespole redystrybucji A pojemność każdego kondensatora $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego. Pojemność kondensatora próbkującego C_n jest dwukrotnie większa od pojemności kondensatora C_{n-1} o największej pojemności w zespole redystrybucji. Każdemu kondensatorowi $C_{n-1}, C_{n-2}, \dots, C_1, C_0$ zespołu redystrybucji jest przyporządkowany, odpowiednio, bit $b_{n-1}, b_{n-2}, \dots, b_1, b_0$ słowa cyfrowego. Szyna docelowa L jest połączona z masą układu poprzez łącznik szyny docelowej S_{Gall} oraz z wejściem nieodwracającym drugiego komparatora K2, którego wejście odwracające jest połączone ze źródłem napięcia odniesienia U_L . Szyna źródłowa H jest połączona z wejściem odwracającym pierwszego komparatora K1, którego wejście nieodwracające jest połączone ze źródłem napięcia pomocniczego U_H . Wejścia sterujące łączników źródłowych $S_{Hn}; S_{Hn-1}, S_{Hn-2}, \dots, S_{H1}, S_{H0}$, oraz łącznika szyny docelowej S_{Gall} są połączone, odpowiednio, z wyjściami sterującymi $D_n; D_{n-1}, D_{n-2}, \dots, D_1, D_0; D_{all}$. Wejścia sterujące łączników docelowych $S_{Ln}; S_{Ln-1}, S_{Ln-2}, \dots, S_{L1}, S_{L0}$, i przełączników masy $S_{Gn}; S_{Gn-1}, S_{Gn-2}, \dots, S_{G1}, S_{G0}$ są ze sobą sprzężone, odpowiednio, i są połączone odpowiednio z wyjściami sterującymi $I_n; I_{n-1}, I_{n-2}, \dots, I_1, I_0$.

Sekcja kondensatora próbkującego A_n zawiera ponadto dodatkowy kondensator próbkujący C_{nA} , przełączniki górnych okładek S_{Tn}, S_{TnA} i przełączniki dolnych okładek S_{Bn}, S_{BnA} oraz wejście ładunku InQ i połączony z nim łącznik wejściowy S_Q , którego wejście sterujące jest połączone

z wyjściem sterującym łącznikiem wejściowym A_Q . Pojemność dodatkowego kondensatora próbkującego C_{nA} jest równa pojemności kondensatora próbkującego C_n . Górne okładki kondensatora próbkującego C_n i dodatkowego kondensatora próbkującego C_{nA} są połączone, poprzez przełączniki górnych okładek S_{Tn} , S_{TnA} z łącznikiem źródłowym S_{Hn} i łącznikiem docelowym S_{Ln} oraz z łącznikiem wejściowym S_Q . Dolne okładki kondensatora próbkującego C_n i dodatkowego kondensatora próbkującego C_{nA} są połączone, poprzez przełączniki dolnych okładek S_{Bn} , S_{BnA} z przełącznikiem masy S_{Gn} oraz z masą układu. Wejścia sterujące przełączników górnych okładek S_{Tn} , S_{TnA} oraz przełączników dolnych okładek S_{Bn} , S_{BnA} są ze sobą sprzężone i są połączone z wyjściem sterującym przełącznikami okładek A_C . Łącznik źródłowy S_{Hn} jest połączony z szyną źródłową H , łącznik docelowy S_{Ln} jest połączony z szyną docelową L , a przełącznik masy S_{Gn} jest połączony z masą układu oraz ze źródłem napięcia pomocniczego U_H .

W innym przykładowym rozwiązaniu sekcja kondensatora C_{n-1} o największej pojemności w zespole redystrybucji zawiera dodatkowy kondensator C_{n-1A} o największej pojemności w zespole redystrybucji oraz przełączniki górnych okładek S_{Tn-1} , S_{Tn-1A} i przełączniki dolnych okładek S_{Bn-1} , S_{Bn-1A} . Dodatkowy kondensator C_{n-1A} o największej pojemności w zespole redystrybucji ma pojemność równą pojemności kondensatora C_{n-1} o największej pojemności w zespole redystrybucji. Górne okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji i dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji są połączone, poprzez przełączniki górnych okładek S_{Tn-1} , S_{Tn-1A} z łącznikiem źródłowym S_{Hn-1} i łącznikiem docelowym S_{Ln-1} oraz z łącznikiem wejściowym S_Q . Dolne okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji i dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji są połączone, poprzez przełączniki dolnych okładek S_{Bn-1} , S_{Bn-1A} z przełącznikiem masy S_{Gn-1} oraz z masą układu. Wejścia sterujące przełączników górnych okładek S_{Tn-1} , S_{Tn-1A} i przełączników dolnych okładek S_{Bn-1} , S_{Bn-1A} są ze sobą sprzężone i są połączone z wyjściem sterującym przełącznikami okładek A_C .

Sposób przetwarzania wielkości ładunku elektrycznego na słowo cyfrowe realizowany, według wynalazku, w pierwszym przykładowym układzie jest następujący. Przed rozpoczęciem pierwszego procesu przetwarzania wielkości ładunku elektrycznego na słowo cyfrowe o liczbie bitów równej n moduł sterujący CM wprowadza wyjście zakończenia przetwarzania $OutR$ w stan nieaktywny. Przy pomocy sygnału z wyjścia sterującego łącznikiem wejściowym A_Q moduł sterujący CM powoduje otwarcie łącznika wejściowego S_Q i odłączenie wejścia ładunku InQ od przełączników górnych okładek S_{Tn} , S_{TnA} , zaś przy pomocy sygnału z wyjścia sterującego źródłem prądowym A_J powoduje wyłączenie źródła prądowego J . Przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_C moduł sterujący CM powoduje przełączenie przełączników górnych okładek S_{Tn} , S_{TnA} oraz przełączników dolnych okładek S_{Bn} , S_{BnA} i połączenie górnej okładki kondensatora próbkującego C_n z łącznikiem źródłowym S_{Hn} i łącznikiem docelowym S_{Ln} , połączenie górnej okładki dodatkowego kondensatora próbkującego C_{nA} z łącznikiem wejściowym S_Q , połączenie dolnej okładki kondensatora próbkującego C_n z przełącznikiem masy S_{Gn} oraz połączenie dolnej okładki dodatkowego kondensatora próbkującego C_{nA} z masą układu. Następnie moduł sterujący CM wprowadza układ w stan relaksacji pokazany na fig. 1. W tym celu moduł sterujący CM, przy pomocy sygnałów z wyjść sterujących D_{n-1} , D_{n-2} , ..., D_1 , D_0 ; powoduje otwarcie łączników źródłowych S_{Hn-1} , S_{Hn-2} , ..., S_{H1} , S_{H0} . Przy pomocy sygnałów z wyjść sterujących I_n , I_{n-1} , I_{n-2} , ..., I_1 , I_0 moduł sterujący CM powoduje zamknięcie łączników docelowych S_{Ln} , S_{Ln-1} , S_{Ln-2} , ..., S_{L1} , S_{L0} i połączenie górnych okładek kondensatora próbkującego C_n i wszystkich kondensatorów C_{n-1} , C_{n-2} , ..., C_1 , C_0 zespołu redystrybucji z szyną docelową L oraz przełączenie przełączników masy S_{Gn} , S_{Gn-1} , S_{Gn-2} , ..., S_{G1} , S_{G0} i połączenie dolnych okładek kondensatora próbkującego C_n i wszystkich kondensatorów C_{n-1} , C_{n-2} , ..., C_1 , C_0 zespołu redystrybucji z masą układu. Przy pomocy sygnału z wyjścia sterującego D_{all} moduł sterujący CM powoduje zamknięcie łącznika szyny docelowej S_{Gall} i połączenie szyny docelowej L z masą układu, wymuszając całkowite rozładowanie kondensatora próbkującego C_n i wszystkich kondensatorów C_{n-1} , C_{n-2} , ..., C_1 , C_0 zespołu redystrybucji. Jednocześnie, moduł sterujący CM powoduje przy pomocy sygnału z wyjścia sterującego D_n , zamknięcie łącznika źródłowego S_{Hn} i połączenie szyny źródłowej H z szyną docelową L i z masą układu, uniemożliwiając pojawienie się na szynie źródłowej H potencjału o przypadkowej wielkości.

W chwili wykrycia przez moduł sterujący CM początku sygnału bramkującego G_x , podanego na wejście bramkujące InG , moduł sterujący CM wprowadza układ w stan pokazany na fig. 2. W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_C , przełączenie przełączników górnych okładek S_{Tn} , S_{TnA} oraz przełączników dolnych okładek S_{Bn} , S_{BnA} i połączenie górnej okładki kondensatora próbkującego C_n z łącznikiem wejściowym S_Q , połączenie

górnej okładki dodatkowego kondensatora próbkującego C_{nA} z łącznikiem źródłowym S_{Hn} i łącznikiem docelowym S_{Ln} , połączenie dolnej okładki kondensatora próbkującego C_n z masą układu oraz połączenie dolnej okładki dodatkowego kondensatora próbkującego C_{nA} z przełącznikiem masy S_{Gn} , wymuszając całkowite rozładowanie dodatkowego kondensatora próbkującego C_{nA} . Następnie moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego łącznikiem wejściowym A_Q , zamknięcie łącznika wejściowego S_Q i połączenie wejścia ładunku InQ z przełącznikami górnych okładek S_{Tn} , S_{TnA} . Ładunek elektryczny dostarczany za pomocą wejścia ładunku InQ jest gromadzony w kondensatorze próbkującym C_n , który, jako jedyny, jest wówczas połączony z wejściem ładunku InQ poprzez przełącznik górnej okładki S_{Tn} i łącznik wejściowy S_Q .

W chwili wykrycia przez moduł sterujący CM końca sygnału bramkującego G_x , podanego na wejście bramkujące InG , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego D_{all} , otwarcie łącznika szyny docelowej S_{Gall} i odłączenie szyny docelowej L od masy układu. Przy pomocy sygnałów z wyjść sterujących I_n ; I_{n-2} , ..., I_1 , I_0 moduł sterujący CM powoduje otwarcie łączników docelowych S_{Ln} ; S_{Ln-2} , ..., S_{L1} , S_{L0} , i odłączenie górnych okładek dodatkowego kondensatora próbkującego C_{nA} i kondensatorów C_{n-2} , ..., C_1 , C_0 zespołu redystrybucji od szyny docelowej L oraz przełączenie przełączników masy S_{Gn} ; S_{Gn-2} , ..., S_{G1} , S_{G0} i połączenie dolnych okładek dodatkowego kondensatora próbkującego C_{nA} i kondensatorów C_{n-2} , ..., C_1 , C_0 zespołu redystrybucji ze źródłem napięcia pomocniczego U_H . Przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_C moduł sterujący CM powoduje przełączenie przełączników górnych okładek S_{Tn} , S_{TnA} oraz przełączników dolnych okładek S_{Bn} , S_{BnA} i połączenie górnej okładki kondensatora próbkującego C_n z łącznikiem źródłowym S_{Hn} i łącznikiem docelowym S_{Ln} , połączenie górnej okładki dodatkowego kondensatora próbkującego C_{nA} z łącznikiem wejściowym S_Q , połączenie dolnej okładki kondensatora próbkującego C_n z przełącznikiem masy S_{Gn} oraz połączenie dolnej okładki dodatkowego kondensatora próbkującego C_{nA} z masą układu.

W przypadku pokazanym na fig. 3, gdy wykryty przez moduł sterujący CM koniec sygnału bramkującego G_x nie wyznacza jednocześnie początku następnego sygnału bramkującego G_{x+1} , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego łącznikiem wejściowym A_Q , otwarcie łącznika wejściowego S_Q i odłączenie wejścia ładunku InQ od przełączników górnych okładek S_{Tn} , S_{TnA} . Opisany powyżej stan układu pokazano na fig. 5. W chwili wykrycia przez moduł sterujący CM początku następnego sygnału bramkującego G_{x+1} , podanego na wejście bramkujące InG , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego łącznikiem wejściowym A_Q , ponowne zamknięcie łącznika wejściowego S_Q i połączenie wejścia ładunku InQ z przełącznikami górnych okładek S_{Tn} , S_{TnA} . Ładunek elektryczny dostarczany za pomocą wejścia ładunku InQ jest gromadzony w dodatkowym kondensatorze próbkującym C_{nA} , który, jako jedyny, jest wówczas połączony z wejściem ładunku InQ poprzez przełącznik górnej okładki C_{nA} oraz łącznik wejściowy S_Q .

W przypadku pokazanym na fig. 4, gdy wykryty przez moduł sterujący CM koniec sygnału bramkującego G_x wyznacza jednocześnie początek następnego sygnału bramkującego G_{x+1} , ładunek elektryczny dostarczany za pomocą wejścia ładunku InQ jest gromadzony w dodatkowym kondensatorze próbkującym C_{nA} , który, jako jedyny, jest wówczas połączony z wejściem ładunku InQ poprzez przełącznik górnej okładki S_{TnA} oraz łącznik wejściowy S_Q . Opisany powyżej stan układu pokazano na fig. 6.

W obu przypadkach moduł sterujący CM wprowadza wyjście zakończenia przetwarzania $OutR$ w stan nieaktywny oraz przypisuje wszystkim bitom b_{n-1} , b_{n-2} , ..., b_1 , b_0 słowa cyfrowego wartość początkową zero. Następnie moduł sterujący CM przypisuje funkcję kondensatora źródłowego C_i kondensatorowi próbkującemu C_n przez wpisanie do rejestru indeksu źródłowego wartości indeksu kondensatora próbkującego. Jednocześnie moduł sterujący CM przypisuje funkcję kondensatora docelowego C_k kondensatorowi C_{n-1} o największej pojemności w zespole redystrybucji przez wpisanie do rejestru indeksu docelowego wartości indeksu kondensatora o największej pojemności w zespole redystrybucji. Następnie moduł sterujący CM rozpoczyna realizowanie procesu redystrybucji zgromadzonego ładunku elektrycznego. W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego źródłem prądowym A_J , włączenie źródła prądowego J . Ładunek elektryczny zgromadzony w kondensatorze źródłowym C_i jest przenoszony za pomocą źródła prądowego J poprzez szynę źródłową H i szynę docelową L do kondensatora docelowego C_k , przy czym w trakcie przenoszenia ładunku napięcie U_i na kondensatorze źródłowym stopniowo maleje i jednocześnie napięcie U_k na kondensatorze docelowym stopniowo rośnie.

W przypadku, gdy podczas przenoszenia ładunku elektrycznego napięcie U_k na aktualnym kondensatorze docelowym osiągnie wielkość napięcia odniesienia U_L , wówczas, na podstawie sygnału wyjściowego drugiego komparatora K2, moduł sterujący CM przypisuje odpowiedniemu bitowi b_k słowa cyfrowego wartość jeden. Przy pomocy sygnału z wyjścia sterującego I_k moduł sterujący CM powoduje otwarcie łącznika docelowego S_{Lk} i odłączenie górnej okładki kondensatora docelowego C_k od szyny docelowej L oraz równoczesne przełączenie przełącznika masy S_{Gk} i połączenie dolnej okładki kondensatora docelowego C_k ze źródłem napięcia pomocniczego U_H . Następnie moduł sterujący CM przypisuje funkcję kondensatora docelowego C_k następnemu w kolejności kondensatorowi zespołu redystrybucji A o pojemności dwukrotnie mniejszej od pojemności kondensatora, który pełnił tę funkcję bezpośrednio wcześniej, przez zmniejszenie o jeden zawartości rejestru indeksu docelowego. Przy pomocy sygnału z wyjścia sterującego I_k moduł sterujący CM powoduje zamknięcie łącznika docelowego S_{Lk} i połączenie górnej okładki nowego kondensatora docelowego C_k z szyną docelową L oraz równoczesne przełączenie przełącznika masy S_{Gk} i połączenie dolnej okładki kondensatora docelowego C_k z masą układu.

W przypadku, gdy podczas przenoszenia ładunku elektrycznego napięcie U_i na kondensatorze źródłowym osiągnie wartość zero, wówczas, na podstawie sygnału wyjściowego pierwszego komparatora K1, moduł sterujący CM, przy pomocy sygnału z wyjścia sterującego D_i , powoduje otwarcie łącznika źródłowego S_{Hi} i odłączenie górnej okładki kondensatora źródłowego C_i od szyny źródłowej H. Przy pomocy sygnału z wyjścia sterującego I_k moduł sterujący CM powoduje otwarcie łącznika docelowego S_{Lk} i odłączenie górnej okładki kondensatora docelowego C_k od szyny docelowej L oraz równoczesne przełączenie przełącznika masy S_{Gk} i połączenie dolnej okładki kondensatora docelowego C_k ze źródłem napięcia pomocniczego U_H . Następnie moduł sterujący CM przypisuje funkcję kondensatora źródłowego C_i kondensatorowi, który do tej pory pełnił funkcję kondensatora docelowego C_k przez wpisanie aktualnej zawartości rejestru indeksu docelowego do rejestru indeksu źródłowego. Przy pomocy sygnału z wyjścia sterującego D_i moduł sterujący CM powoduje zamknięcie łącznika źródłowego S_{Hi} i połączenie górnej okładki nowego kondensatora źródłowego C_1 z szyną źródłową H. Następnie moduł sterujący CM zmniejsza o jeden zawartość rejestru indeksu docelowego i przypisuje funkcję kondensatora docelowego C_k kolejnemu kondensatorowi zespołu redystrybucji A o pojemności dwukrotnie mniejszej od pojemności kondensatora, który pełnił tę funkcję bezpośrednio wcześniej. Przy pomocy sygnału z wyjścia sterującego I_k moduł sterujący CM powoduje zamknięcie łącznika docelowego S_{Lk} i połączenie górnej okładki nowego kondensatora docelowego C_k z szyną docelową L oraz równoczesne przełączenie przełącznika masy S_{Gk} i połączenie dolnej okładki nowego kondensatora docelowego C_k z masą układu. Opisany powyżej stan układu pokazano na fig. 7.

W obu przypadkach moduł sterujący CM kontynuuje proces redystrybucji ładunku elektrycznego na podstawie sygnałów wyjściowych pierwszego komparatora K1 i drugiego komparatora K2. Każde pojawienie się stanu aktywnego na wyjściu drugiego komparatora K2 powoduje przypisanie funkcji kondensatora docelowego C_k następnemu w kolejności kondensatorowi zespołu redystrybucji A o pojemności dwukrotnie mniejszej od pojemności kondensatora, który pełnił tę funkcję bezpośrednio wcześniej. Każde pojawienie się stanu aktywnego na wyjściu pierwszego komparatora K1 powoduje przypisanie funkcji kondensatora źródłowego C_1 kondensatorowi zespołu redystrybucji A, który aktualnie pełnił funkcję kondensatora docelowego C_k i jednocześnie przypisanie funkcji kondensatora docelowego C_k następnemu w kolejności kondensatorowi zespołu redystrybucji A o pojemności dwukrotnie mniejszej od pojemności kondensatora pełniącego tę funkcję bezpośrednio wcześniej. Proces redystrybucji ładunku zostaje zakończony w chwili, gdy funkcję kondensatora docelowego C_k przestaje pełnić kondensator C_0 o najmniejszej pojemności w zespole redystrybucji. Sytuacja taka występuje, gdy podczas przenoszenia ładunku do kondensatora C_0 o najmniejszej pojemności w zespole redystrybucji na wyjściu pierwszego komparatora K1 albo na wyjściu drugiego komparatora K2 pojawia się stan aktywny. Gdy stan aktywny pojawia się na wyjściu drugiego komparatora K2, moduł sterujący CM przypisuje bitowi b_0 wartości jeden.

Po zakończeniu procesu redystrybucji ładunku elektrycznego zgromadzonego w kondensatorze próbkującym C_n oraz przypisaniu odpowiednich wartości bitom b_{n-1} , b_{n-2} , ..., b_1 , b_0 słowa cyfrowego, moduł sterujący CM wprowadza wyjście zakończenia przetwarzania OutR w stan aktywny. Przy pomocy sygnału z wyjścia sterującego drugim źródłem prądowym A_j moduł sterujący CM powoduje wyłączenie źródła prądowego J. Następnie moduł sterujący CM wprowadza układ w stan relaksacji.

Po wykryciu przez moduł sterujący CM końca następnego sygnału bramkującego G_{x+1} , podanego na wyjście bramkujące InG, moduł sterujący CM, przy pomocy sygnału z wyjścia sterującego D_{all} ,

powoduje otwarcie łącznika szyny docelowej S_{Gall} i odłączenie szyny docelowej L od masy układu. Przy pomocy sygnałów z wyjść sterujących $I_n, I_{n-2}, \dots, I_1, I_0$ moduł sterujący CM powoduje otwarcie łączników docelowych $S_{Ln}, S_{Ln-2}, \dots, S_{L1}, S_{L0}$, i odłączenie górnych okładek kondensatora próbkującego C_n i kondensatorów $C_{n-2}, \dots, C_1, C_0$ zespołu redystrybucji od szyny docelowej L oraz przełączenie przełączników masy $S_{Gn}, S_{Gn-2}, \dots, S_{G1}, S_{G0}$ i połączenie dolnych okładek kondensatora próbkującego C_n i kondensatorów $C_{n-2}, \dots, C_1, C_0$ zespołu redystrybucji ze źródłem napięcia pomocniczego U_H . Przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_C moduł sterujący CM powoduje przełączenie przełączników górnych okładek S_{Tn}, S_{TnA} oraz przełączników dolnych okładek S_{Bn}, S_{BnA} i połączenie górnej okładki kondensatora próbkującego C_n z łącznikiem wejściowy S_Q , połączenie górnej okładki dodatkowego kondensatora próbkującego C_{nA} z łącznikiem źródłowym S_{Hn} i łącznikiem docelowym S_{Ln} , połączenie dolnej okładki kondensatora próbkującego C_n z masą układu oraz połączenie dolnej okładki dodatkowego kondensatora próbkującego C_{nA} z przełącznikiem masy S_{Gn} .

W przypadku pokazanym na fig. 3, gdy wykryty przez moduł sterujący CM koniec następnego sygnału bramkującego G_{x+1} nie wyznacza jednocześnie początku kolejnego sygnału bramkującego G_{x+2} , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego łącznikiem wejściowym A_Q , otwarcie łącznika wejściowego S_Q i odłączenie wejścia ładunku lnQ od przełączników górnych okładek S_{Tn}, S_{TnA} . W chwili wykrycia przez moduł sterujący CM początku kolejnego sygnału bramkującego G_{x+2} , podanego na wejście bramkujące lnG , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego łącznikiem wejściowym A_Q , ponowne zamknięcie łącznika wejściowego S_Q i połączenie wejścia ładunku lnQ z przełącznikami górnych okładek S_{Tn}, S_{TnA} . Ładunek elektryczny dostarczany za pomocą wejścia ładunku lnQ jest gromadzony w kondensatorze próbkującym C_n , który jako jedyny, jest wówczas połączony z wejściem ładunku lnQ poprzez przełącznik górnej okładki S_{Tn} oraz łącznik wejściowy S_Q .

W przypadku pokazanym na fig. 4, gdy wykryty przez moduł sterujący CM koniec następnego sygnału bramkującego G_{x+1} wyznacza jednocześnie początek kolejnego sygnału bramkującego G_{x+2} , ładunek elektryczny dostarczany za pomocą wejścia ładunku lnQ jest gromadzony w kondensatorze próbkującym C_n , który jako jedyny, jest wówczas połączony z wejściem ładunku lnQ poprzez przełącznik górnej okładki S_{Tn} oraz łącznik wejściowy S_Q .

W obu przypadkach moduł sterujący CM wprowadza wyjście zakończenia przetwarzania $OutR$ w stan nieaktywny oraz przypisuje wszystkim bitom $b_{n-1}, b_{n-2}, \dots, b_1, b_0$ słowa cyfrowego wartość początkową zero. Następnie moduł sterujący CM przypisuje funkcję kondensatora źródłowego C_i dodatkowemu kondensatorowi próbkującemu C_{nA} przez wpisanie do rejestru indeksu źródłowego wartości indeksu kondensatora próbkującego C_n . Jednocześnie, moduł sterujący CM przypisuje funkcję kondensatora docelowego C_k kondensatorowi C_{n-1} o największej pojemności w zespole redystrybucji przez wpisanie do rejestru indeksu docelowego wartości indeksu kondensatora C_{n-1} o największej pojemności w zespole redystrybucji. Następnie moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego drugim źródłem prądowym A_J , włączenie źródła prądowego J i rozpoczyna realizowanie procesu redystrybucji ładunku elektrycznego zgromadzonego w dodatkowym kondensatorze próbkującym C_{nA} . Proces ten dobiega końca w chwili, gdy funkcję kondensatora docelowego C_k prze staje pełnić kondensator C_0 o najmniejszej pojemności w zespole redystrybucji.

Po zakończeniu procesu redystrybucji ładunku elektrycznego zgromadzonego w dodatkowym kondensatorze próbkującym C_{nA} oraz przypisaniu odpowiednich wartości bitom $b_{n-1}, b_{n-2}, \dots, b_1, b_0$ słowa cyfrowego moduł sterujący CM wprowadza wyjście zakończenia przetwarzania $OutR$ w stan aktywny. Przy pomocy sygnału z wyjścia sterującego źródłem prądowym A_J moduł sterujący CM powoduje wyłączenie drugiego źródła prądowego J. Następnie moduł sterujący CM wprowadza układ w stan relaksacji.

Sposób przetwarzania wielkości ładunku elektrycznego na słowo cyfrowe realizowany, według wynalazku, w drugim przykładowym układzie jest następujący. Przed rozpoczęciem pierwszego procesu przetwarzania wielkości napięcia elektrycznego na słowo cyfrowe o liczbie bitów równej n moduł sterujący CM powoduje dodatkowo, przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_C , przełączenie przełączników górnych okładek S_{Tn-1}, S_{Tn-1A} oraz przełączników dolnych okładek S_{Bn-1}, S_{Bn-1A} i połączenie górnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z łącznikiem źródłowym S_{Hn-1} i łącznikiem docelowym S_{Ln-1} , połączenie górnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z łącznikiem wejściowym S_Q , połączenie dolnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z przełącznikiem masy S_{Gn-1} oraz połączenie dolnej okładki dodatkowego kondensatora C_{n-1A}

o największej pojemności w zespole redystrybucji z masą układu. Opisany powyżej stan układu pokazano na fig. 8.

W chwili wykrycia przez moduł sterujący CM początku sygnału bramkującego G_x , podanego na wejście bramkujące InG, moduł sterujący CM powoduje dodatkowo, przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_c , przełączenie przełączników górnych okładek S_{Tn-1} , S_{Tn-1A} oraz przełączników dolnych okładek S_{Bn-1} , S_{Bn-1A} i połączenie górnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z łącznikiem wejściowym S_Q , połączenie górnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z łącznikiem źródłowym S_{Hn-1} i łącznikiem docelowym S_{Ln-1} , połączenie dolnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z masą układu oraz połączenie dolnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z przełącznikiem masy S_{Gn-1} , wymuszając całkowite rozładowanie dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji. Ładunek elektryczny dostarczany za pomocą wejścia ładunku InQ jest gromadzony jednocześnie w kondensatorze próbkującym C_n oraz łączonym z nim równolegle kondensatorze C_{n-1} o największej pojemności w zespole redystrybucji, które, jako jedyne, są wówczas połączone z wejściem ładunku InQ poprzez przełączniki górnych okładek S_{Tn} , S_{Tn-1} i łącznik wejściowy S_Q . Opisany powyżej stan układu pokazano na fig. 9.

Po wykryciu przez moduł sterujący CM końca sygnału bramkującego G_x podanego na wejście bramkujące InG, moduł sterujący CM powoduje dodatkowo, przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_c , przełączenie przełączników górnych okładek S_{Tn-1} , S_{Tn-1A} oraz przełączników dolnych okładek S_{Bn-1} , S_{Bn-1A} i połączenie górnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z łącznikiem źródłowym S_{Hn-1} i łącznikiem docelowym S_{Ln-1} , połączenie górnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z łącznikiem wejściowym S_Q , połączenie dolnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z przełącznikiem masy S_{Gn} oraz połączenie dolnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z masą układu.

Po wykryciu przez moduł sterujący CM początku następnego sygnału bramkującego G_{x+1} , podanego na wejście bramkujące InG, ładunek elektryczny dostarczany za pomocą wejścia ładunku InQ jest gromadzony jednocześnie w dodatkowym kondensatorze próbkującym C_{nA} oraz łączonym z nim równolegle dodatkowym kondensatorze C_{n-1A} o największej pojemności w zespole redystrybucji, które, jako jedyne, są wówczas połączone z wejściem ładunku InQ poprzez przełączniki górnych okładek S_{TnA} , S_{Tn-1A} i łącznik wejściowy S_Q .

Po wykryciu przez moduł sterujący CM końca następnego sygnału bramkującego G_{x+1} , podanego na wejście bramkujące InG, moduł sterujący CM powoduje dodatkowo, przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_c , przełączenie przełączników górnych okładek S_{Tn-1} , S_{Tn-1A} oraz przełączników dolnych okładek S_{Bn-1} , S_{Bn-1A} i połączenie górnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z łącznikiem wejściowym S_Q , połączenie górnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z łącznikiem źródłowym S_{Hn-1} i łącznikiem docelowym S_{Ln-1} , połączenie dolnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z masą układu oraz połączenie dolnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z przełącznikiem masy S_{Gn-1} .

Inny sposób przetwarzania wielkości ładunku elektrycznego na słowo cyfrowe realizowany, według wynalazku, w przykładowym układzie różni się od poprzednich tym, że po każdym zakończeniu procesu redystrybucji zgromadzonego ładunku elektrycznego moduł sterujący CM pozostawia w ostatnim z kondensatorów, na którym podczas realizowania procesu redystrybucji nie uzyskano napięcia odniesienia U_L zgromadzony tam ładunek elektryczny.

W przypadku, gdy moduł sterujący CM podczas realizowania procesu redystrybucji przypisał bitowi b_0 wartość zero, moduł sterujący CM, wprowadzając układ w stan relaksacji powoduje, przy pomocy sygnału z wyjścia sterującego I_0 , otwarcie łącznika docelowego S_{L0} i odłączenie górnej okładki kondensatora C_0 o najmniejszej pojemności w zespole redystrybucji od szyny docelowej L oraz przełączenie przełącznika masy S_{G0} i połączenie dolnej okładki kondensatora C_0 o najmniejszej pojemności w zespole redystrybucji ze źródłem napięcia pomocniczego U_H .

W przypadku, gdy moduł sterujący CM podczas realizowania procesu redystrybucji przypisał bitowi b_0 wartość jeden, moduł sterujący CM, wprowadzając układ w stan relaksacji powoduje, przy pomocy sygnału z wyjścia sterującego I_1 , otwarcie łącznika docelowego S_{L1} i odłączenie górnej okładki

kondensatora źródłowego C_i od szyny docelowej L oraz przełączenie przełącznika masy S_{Gi} i połączenie dolnej okładki kondensatora źródłowego C_i ze źródłem napięcia pomocniczego U_H .

Wykaz oznaczeń na rysunku

A	zespół redystrybucji
A_n	sekcja kondensatora próbkującego
CM	moduł sterujący
K1	pierwszy komparator
K2	drugi komparator
J	źródło prądowe
U_H	napięcie pomocnicze
U_L	napięcie odniesienia
InG	wejście bramkujące
InQ	wejście ładunku
In1	pierwsze wejście sterujące
In2	drugie wejście sterujące
B	wyjście słowa cyfrowego
OutR	wyjście zakończenia przetwarzania
H	szyna źródłowa
L	szyna docelowa
C_n	kondensator próbkujący
$C_{n-1}, C_{n-2}, \dots, C_1, C_0$	kondensatory zespołu redystrybucji
C_{n-1}	kondensator o największej pojemności w zespole redystrybucji
C_0	kondensator o najmniejszej pojemności w zespole redystrybucji
C_{nA}	dodatkowy kondensator próbkujący
C_{n-1A}	dodatkowy kondensator o największej pojemności w zespole redystrybucji
C_i	kondensator źródłowy
C_k	kondensator docelowy
$U_{n-1}, U_{n-2}, \dots, U_1, U_0$	napięcie na kondensatorach zespołu redystrybucji
U_i	napięcie na kondensatorze źródłowym
U_k	napięcie na kondensatorze docelowym
$b_{n-1}, b_{n-2}, \dots, b_i, \dots, b_k, \dots, b_1, b_0$	bity słowa cyfrowego
$S_{Hn}, S_{Hn-1}, S_{Hn-2}, \dots, S_{Hi}, \dots, S_{Hk}, \dots, S_{H1}, S_{H0}$	łączniki źródłowe
$S_{Ln}, S_{Ln-1}, S_{Ln-2}, \dots, S_{Li}, \dots, S_{Lk}, \dots, S_{L1}, S_{L0}$	łączniki docelowe
$S_{Gn}, S_{Gn-1}, S_{Gn-2}, \dots, S_{Gi}, \dots, S_{Gk}, \dots, S_{G1}, S_{G0}$	przełączniki masy
$S_{Tn}, S_{Tn-1}, S_{TnA}, S_{Tn-1A}$	przełączniki górnych okładek
$S_{Bn}, S_{Bn-1}, S_{BnA}, S_{Bn-1A}$	przełączniki dolnych okładek
S_{Gall}	łącznik szyny docelowej
S_Q	łącznik wejściowy
A_C	wyjście sterujące przełącznikami okładek
A_J	wyjście sterujące źródłem prądowym
A_Q	wyjście sterujące łącznikiem wejściowym
G_x	sygnał bramkujący
G_{x+1}	następny sygnał bramkujący
G_{x+2}	kolejny sygnał bramkujący
$I_n, I_{n-1}, I_{n-2}, \dots, I_i, \dots, I_k, \dots, I_1, I_0$	wyjścia sterujące
$D_n, D_{n-1}, D_{n-2}, \dots, D_i, \dots, D_k, \dots, D_1, D_0, D_{all}$	wyjścia sterujące

Zastrzeżenia patentowe

1. Sposób bezzegarowego przetwarzania wielkości ładunku elektrycznego na słowo cyfrowe, polegający na gromadzeniu ładunku elektrycznego dostarczanego za pomocą wejścia ładunku w kondensatorze próbkującym, lub w kondensatorze próbkującym i łączonym z nim równolegle kondensatorze o największej pojemności w zespole redystrybucji, przy czym ładunek ten gromadzi się od

chwili wykrycia za pomocą modułu sterującego początku sygnału bramkującego, aż do chwili wykrycia za pomocą modułu sterującego końca sygnału bramkującego, a następnie realizowaniu w zespole redystrybucji procesu redystrybucji zgromadzonego ładunku elektrycznego, w znany sposób, za pomocą modułu sterującego, przez zmiany stanów sygnałów z odpowiednich wyjść sterujących, przy czym zespół redystrybucji zawiera zestaw łączników, przełączników i kondensatorów, takich, że pojemność każdego kondensatora o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego oraz przypisaniu za pomocą modułu sterującego, odpowiednich wartości bitom słowa cyfrowego, **znamienny tym**, że po zakończeniu gromadzenia ładunku elektrycznego w kondensatorze próbkującym (C_n), lub w kondensatorze próbkującym (C_n) i łączonym z nim równolegle kondensatorze (C_{n-1}) o największej pojemności w zespole redystrybucji, oraz wykryciu za pomocą modułu sterującego (CM) początku następnego sygnału bramkującego (G_{x+1}), ładunek elektryczny dostarczany za pomocą wejścia ładunku (InQ) gromadzi się w dodatkowym kondensatorze próbkującym (C_{nA}), a następnie realizuje się proces redystrybucji ładunku elektrycznego zgromadzonego w dodatkowym kondensatorze próbkującym (C_{nA}) oraz przypisuje się za pomocą modułu sterującego (CM) odpowiednie wartości bitom (b_{n-1} , b_{n-2} , ..., b_1 , b_0) słowa cyfrowego, przy czym gromadzenie ładunku elektrycznego w dodatkowym kondensatorze próbkującym (C_{nA}), proces redystrybucji ładunku elektrycznego zgromadzonego w dodatkowym kondensatorze próbkującym (C_{nA}) oraz przypisywanie odpowiednich wartości bitom (b_{n-1} , b_{n-2} , ..., b_1 , b_0) słowa cyfrowego realizuje się tak, jak dla kondensatora próbkującego (C_n).

2. Sposób według zastrz. 1, **znamienny tym**, że po zakończeniu gromadzenia ładunku elektrycznego w dodatkowym kondensatorze próbkującym (C_{nA}) oraz wykryciu za pomocą modułu sterującego (CM) początku kolejnego sygnału bramkującego (G_{x+2}), rozpoczyna się kolejny cykl, a ładunek elektryczny dostarczany za pomocą wejścia ładunku (InQ) gromadzi się ponownie w kondensatorze próbkującym (C_n) lub w kondensatorze próbkującym (C_n) i łączonym z nim równolegle kondensatorze (C_{n-1}) o największej pojemności w zespole redystrybucji.

3. Sposób według zastrz. 1 i 2, **znamienny tym**, że gdy ładunek elektryczny dostarczany za pomocą wejścia ładunku (InQ) gromadzi się w dodatkowym kondensatorze próbkującym (C_{nA}), to jednocześnie część dostarczanego ładunku elektrycznego gromadzi się w dodatkowym kondensatorze (C_{n-1A}) o największej pojemności w zespole redystrybucji, łączonym równolegle z dodatkowym kondensatorem próbkującym (C_{nA}), przy czym pojemność dodatkowego kondensatora (C_{n-1A}) o największej pojemności w zespole redystrybucji jest równa pojemności kondensatora (C_{n-1}) o największej pojemności w zespole redystrybucji.

4. Sposób według zastrz. 1, 2 i 3, **znamienny tym**, że po zakończeniu procesu redystrybucji, w ostatnim z kondensatorów, na którym podczas realizowania procesu redystrybucji nie uzyskano napięcia odniesienia (U_L), pozostawia się zgromadzony tam ładunek elektryczny.

Rysunki

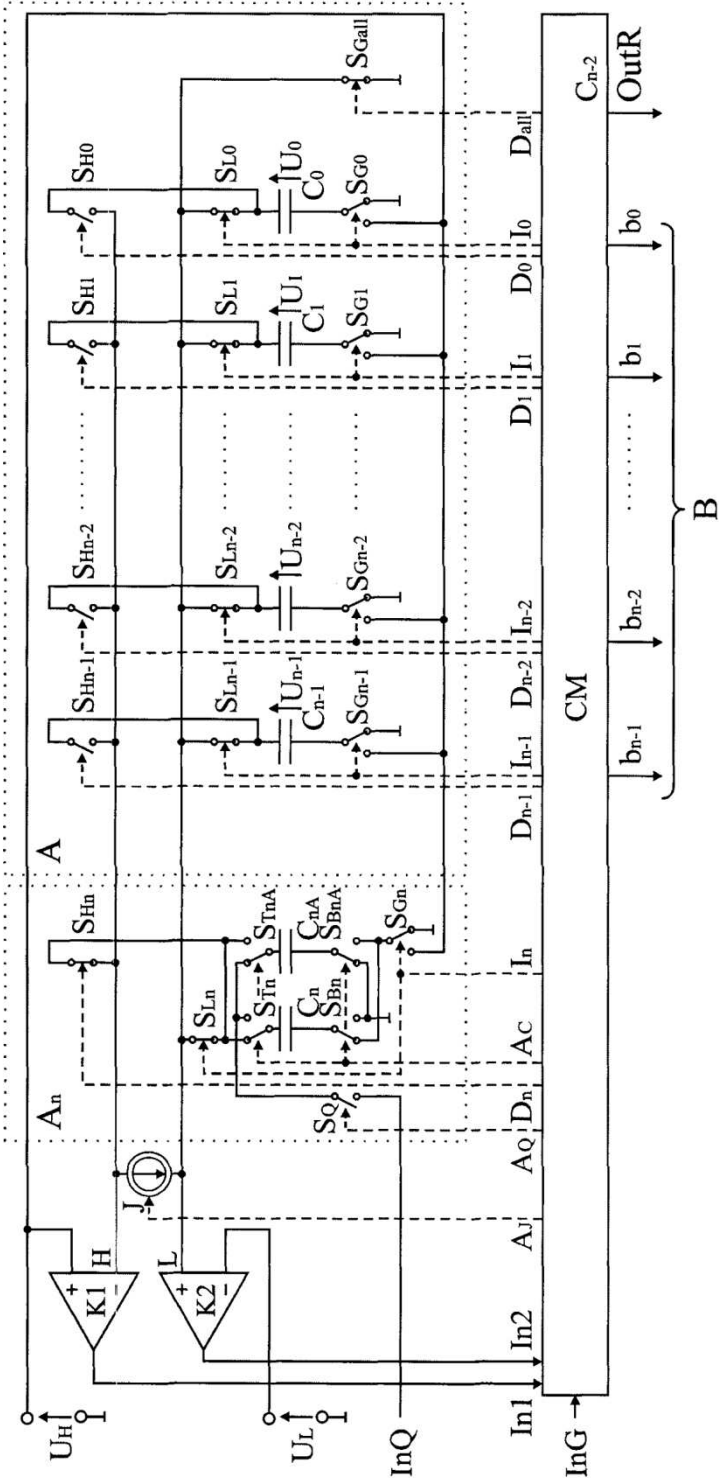


Fig. 1

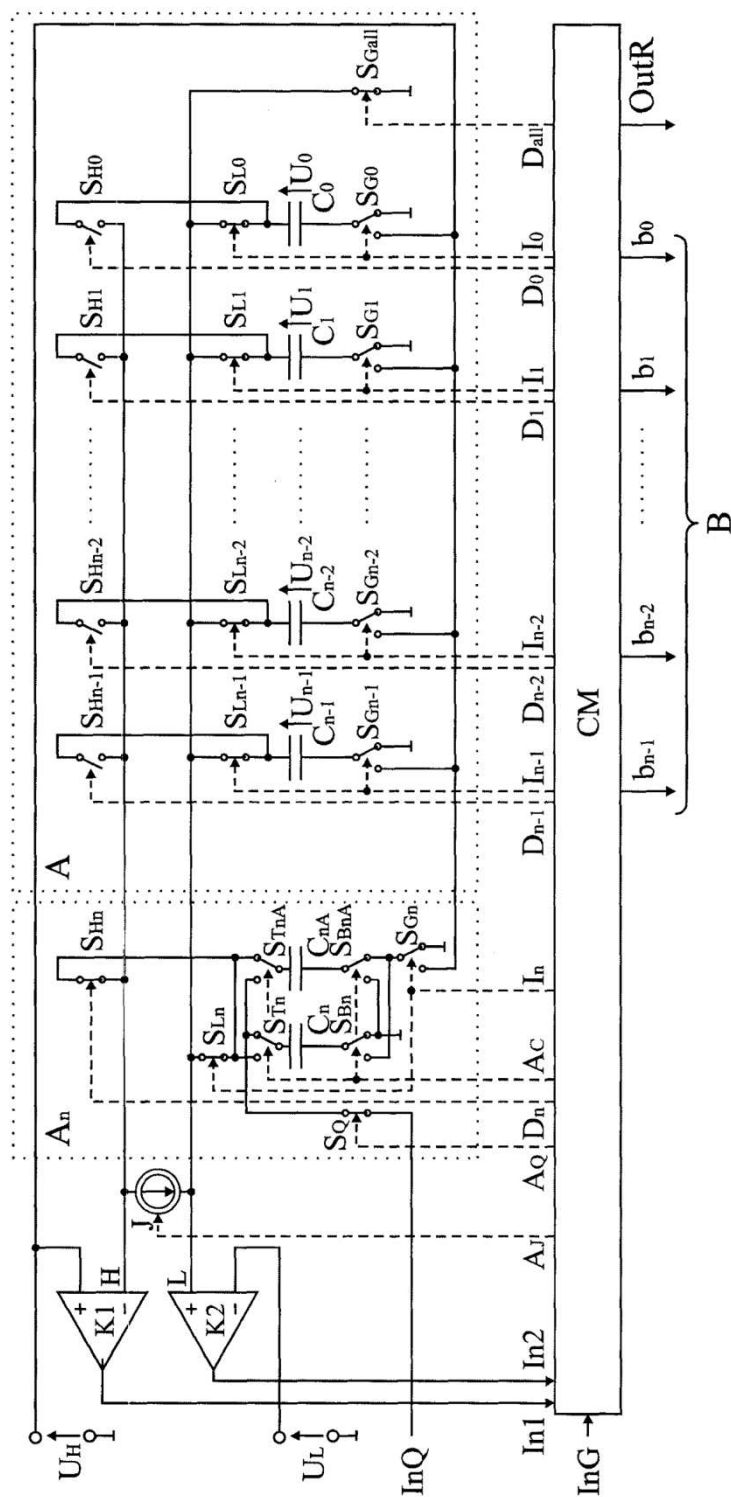


Fig. 2

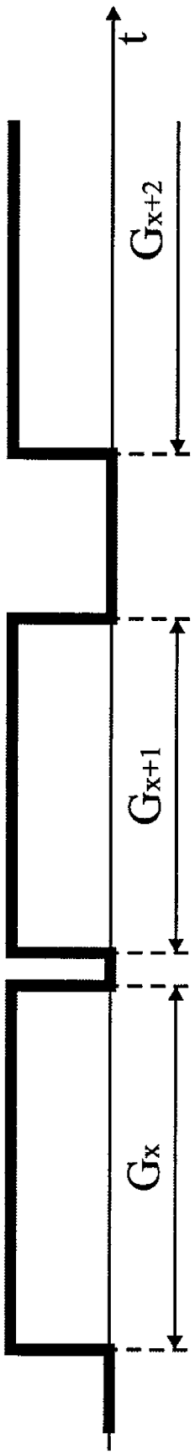


Fig. 3

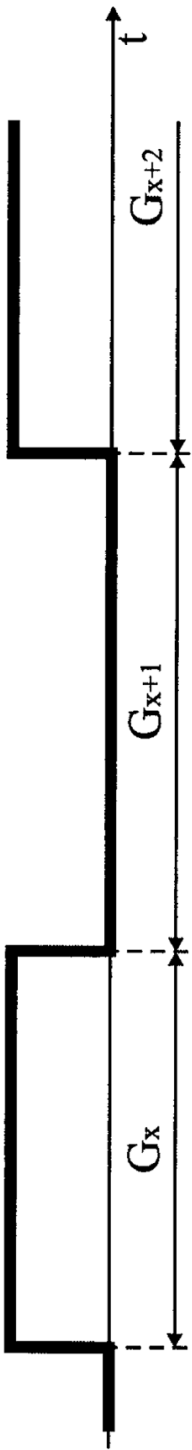


Fig. 4

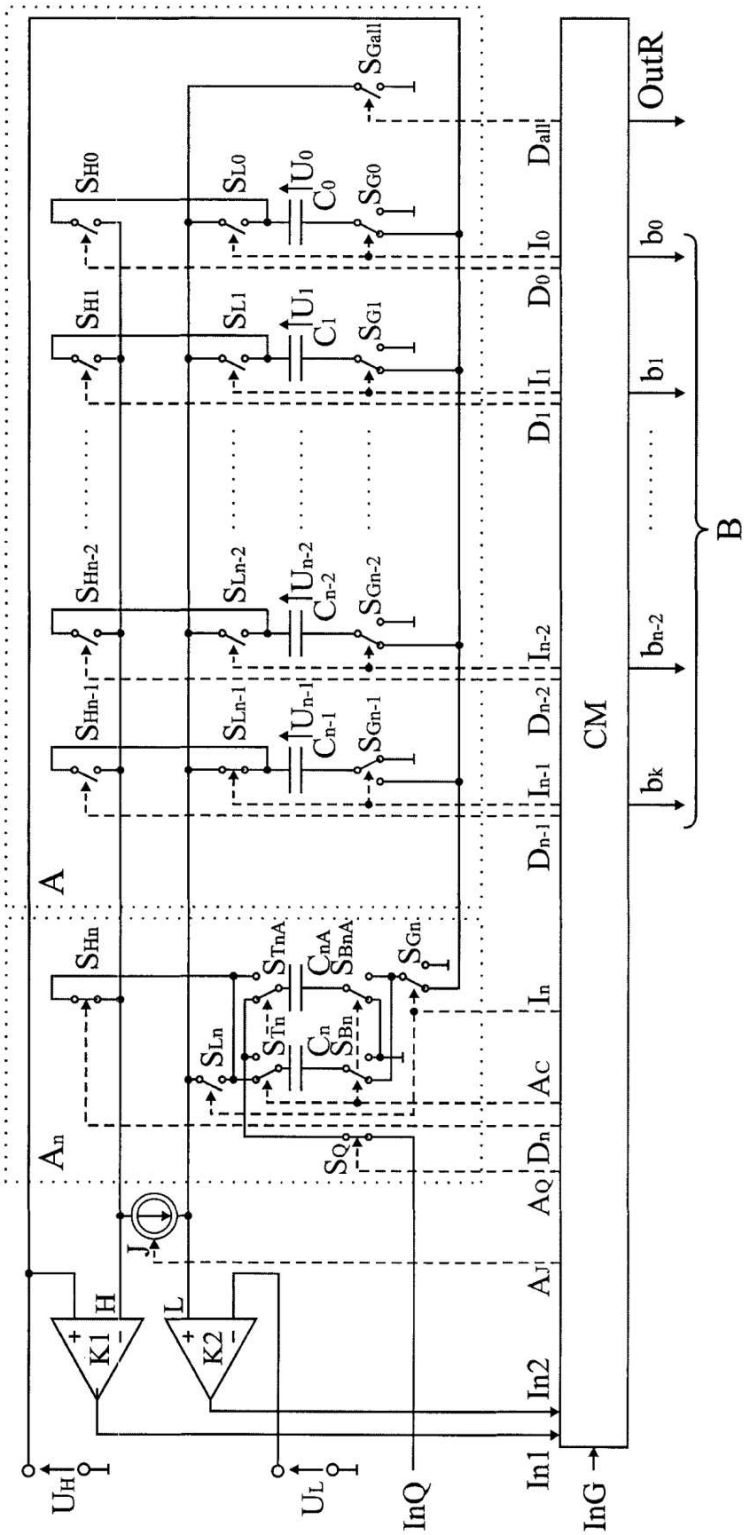


Fig. 6

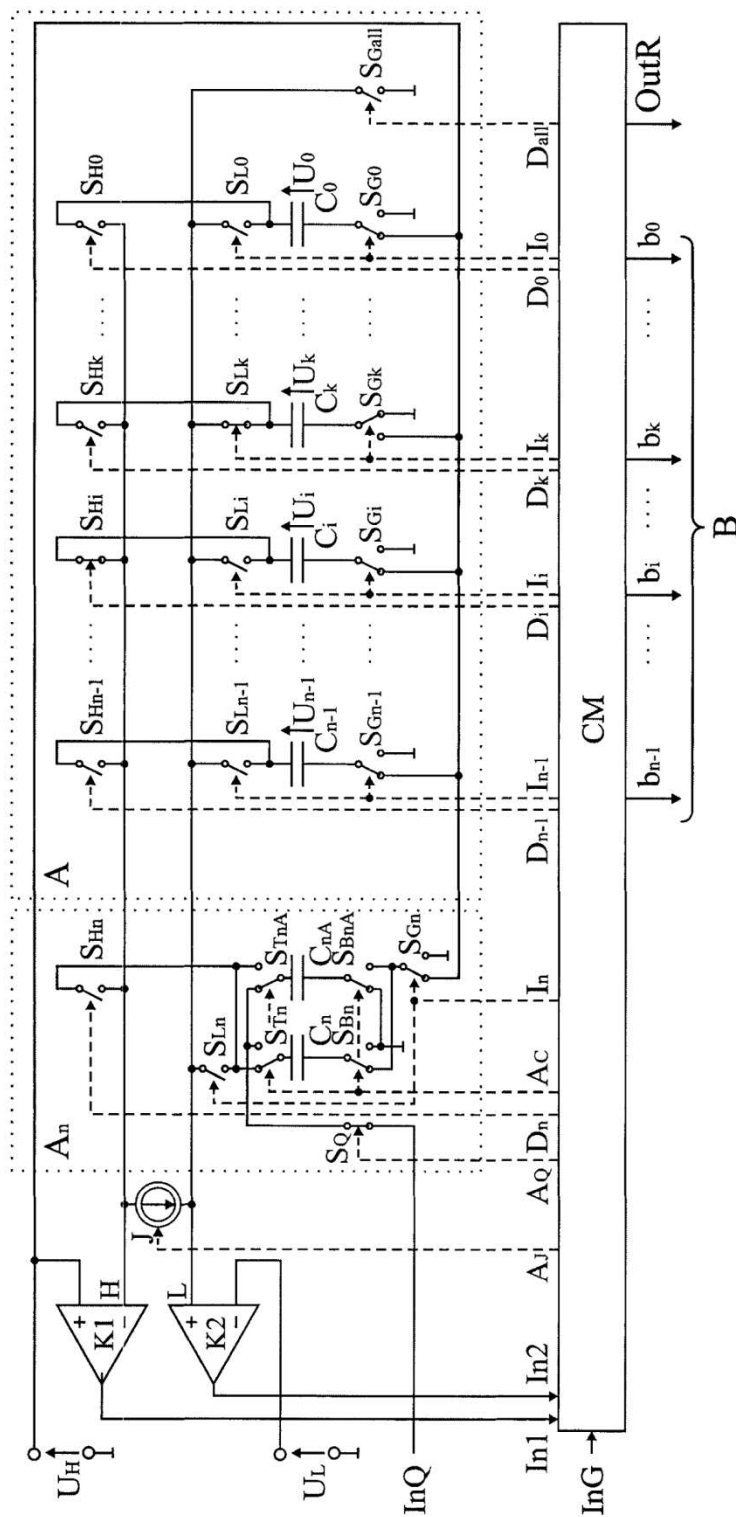


Fig. 7

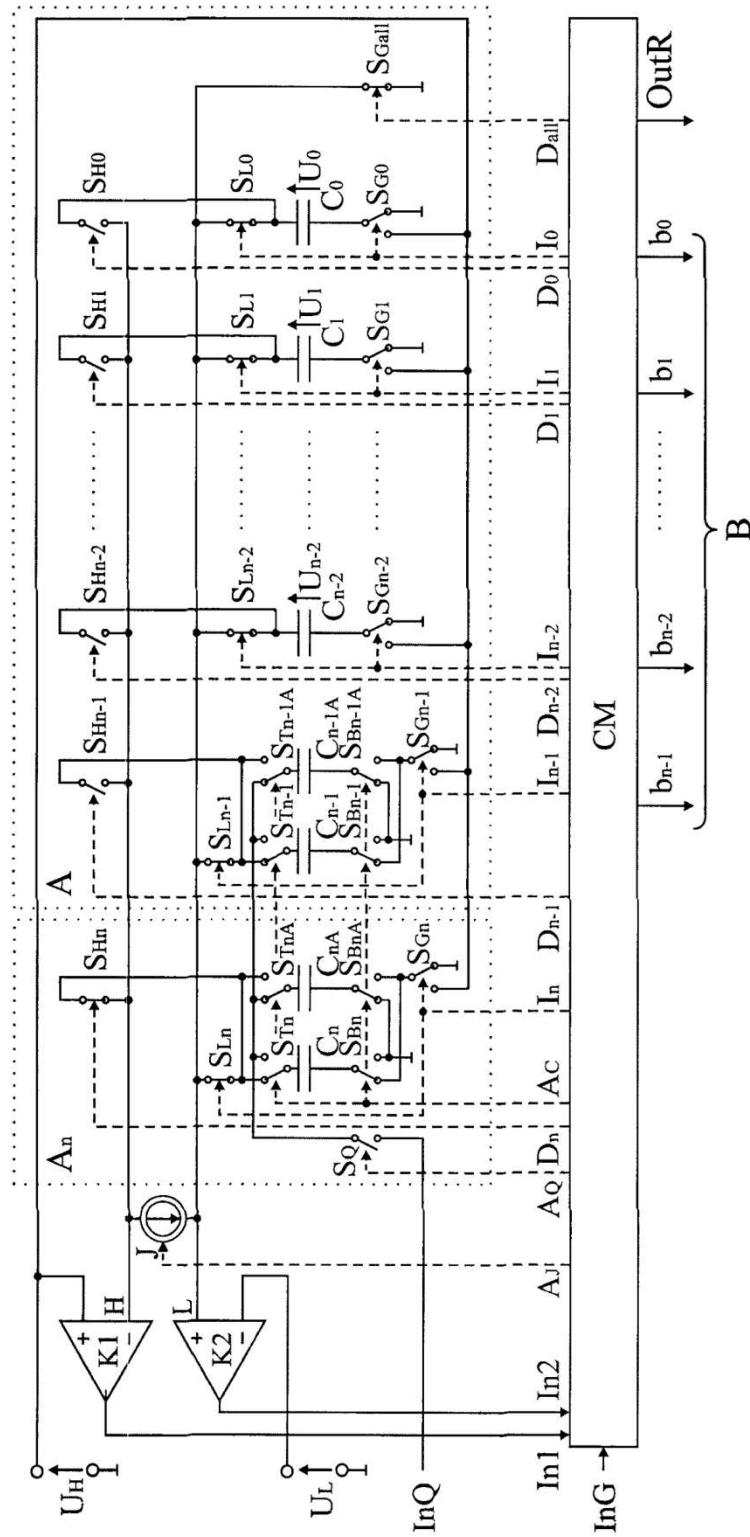


Fig. 8

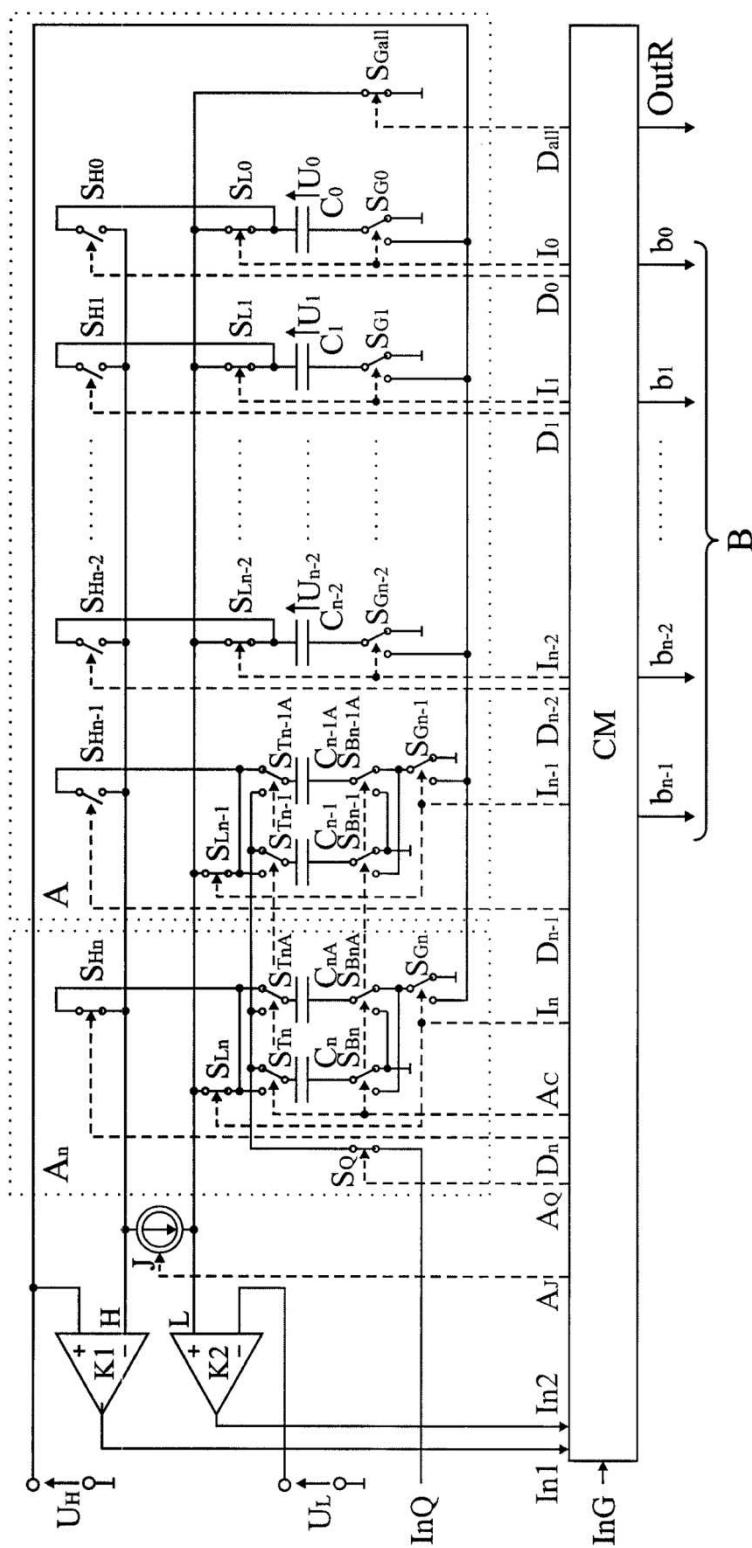


Fig. 9