

RZECZPOSPOLITA
POLSKA



Urząd Patentowy
Rzeczypospolitej Polskiej

(12) **OPIS PATENTOWY**

(19) **PL**

(11) **220475**

(13) **B1**

(21) Numer zgłoszenia: **397957**

(22) Data zgłoszenia: **31.01.2012**

(51) Int.Cl.

H03M 1/00 (2006.01)

H03M 1/38 (2006.01)

H03M 1/14 (2006.01)

(54) **Układ do bezzegarowego przetwarzania interwału czasu na słowo cyfrowe**

(43) Zgłoszenie ogłoszono:
05.08.2013 BUP 16/13

(45) O udzieleniu patentu ogłoszono:
30.10.2015 WUP 10/15

(73) Uprawniony z patentu:

**AKADEMIA GÓRNICZO-HUTNICZA
IM. STANISŁAWA STASZICA W KRAKOWIE,
Kraków, PL**

(72) Twórca(y) wynalazku:

**DARIUSZ KOŚCIELNIK, Kraków, PL
MAREK MIŚKOWICZ, Kraków, PL**

(74) Pełnomocnik:

rzecz. pat. Małgorzata Geissler

PL 220475 B1

Opis wynalazku

Przedmiotem wynalazku jest układ do bezzegarowego przetwarzania interwału czasu na słowo cyfrowe, znajdujący zastosowanie w systemach kontrolno-pomiarowych.

Znany jest z opisu polskiego zgłoszenia P-392925 układ do asynchronicznego przetwarzania interwału czasu na słowo cyfrowe. Układ ten zawiera zespół kondensatorów, którego wejścia sterujące są połączone z zestawem wyjść sterujących modułu sterującego. Moduł sterujący jest wyposażony w wyjście słowa cyfrowego, wyjście zakończenia przetwarzania, wejście interwału czasu oraz dwa wejścia sterujące. Pierwsze wejście sterujące jest połączone z wyjściem pierwszego komparatora, którego wejścia są połączone z jedną parą wyjść zespołu kondensatorów, a drugie wejście sterujące jest połączone z wyjściem drugiego komparatora, którego wejścia są połączone z drugą parą wyjść zespołu kondensatorów. Ponadto do zespołu kondensatorów jest podłączone źródło napięcia zasilania, źródło napięcia pomocniczego i źródło napięcia odniesienia, dwa sterowane źródła prądowe, których wejścia sterujące są połączone odpowiednio z wyjściami sterującymi modułu sterującego oraz kondensator próbkujący.

Zespół kondensatorów zawiera łączniki, przełączniki oraz zestaw kondensatorów, których liczba jest równa liczbie bitów słowa cyfrowego, a pojemność każdego kondensatora o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego. Górna okładka kondensatora próbkującego i każdego kondensatora zespołu kondensatorów jest łączona z pierwszą szyną, poprzez pierwszy łącznik, i/lub z drugą szyną, poprzez drugi łącznik, a dolna okładka, poprzez przełącznik, jest łączona z masą układu lub ze źródłem napięcia pomocniczego. Pierwsza szyna jest łączona z masą układu poprzez łącznik pierwszej szyny oraz jest połączona z wejściem nieodwracającym drugiego komparatora, którego wejście odwracające jest połączone ze źródłem napięcia odniesienia. Druga szyna jest połączona z wejściem odwracającym pierwszego komparatora, którego wejście nieodwracające jest połączone ze źródłem napięcia pomocniczego.

Wejścia sterujące pierwszych łączników i przełączników zespołu kondensatorów są ze sobą sprzężone, odpowiednio, i są połączone, odpowiednio, z wyjściami sterującymi modułu sterującego, a wejścia sterujące drugich łączników oraz łącznika pierwszej szyny są połączone odpowiednio z wyjściami sterującymi modułu sterującego.

Pierwszy biegun pierwszego źródła prądowego jest połączony ze źródłem napięcia zasilającego, a drugi biegun pierwszego źródła prądowego jest połączony z pierwszą szyną, z którą jest połączony również drugi biegun drugiego źródła prądowego. Pierwszy biegun drugiego źródła prądowego jest połączony z drugą szyną.

W jednym z wariantów opisanego układu kondensator próbkujący o pojemności nie mniejszej od pojemności kondensatora o największej pojemności w zespole kondensatorów, jest łączony równolegle z kondensatorem o największej pojemności w zespole kondensatorów. Przetwarzanie interwału czasu na słowo cyfrowe jest realizowane za pomocą modułu sterującego, przez zmiany stanów sygnałów z odpowiednich wyjść sterujących.

Układ, według wynalazku, zawiera zespół redystrybucji, którego wejścia sterujące są połączone z wyjściami sterującymi modułu sterującego. Moduł sterujący jest wyposażony w wyjście słowa cyfrowego, wyjście zakończenia przetwarzania, wejście interwału czasu oraz pierwsze wejście sterujące, połączone z wyjściem pierwszego komparatora i drugie wejście sterujące, połączone z wyjściem drugiego komparatora. Do zespołu redystrybucji jest podłączone źródło napięcia pomocniczego, sekcja kondensatora próbkującego i drugie sterowane źródło prądowe, którego wejście sterujące jest połączone z wyjściem sterującym drugim źródłem prądowym. Pierwszy biegun drugiego źródła prądowego jest połączony z szyną źródłową, a drugi biegun drugiego źródła prądowego jest połączony z szyną docelową. Źródło napięcia zasilającego jest połączone z pierwszym biegunem pierwszego źródła prądowego, którego wejście sterujące jest połączone z wyjściem sterującym pierwszym źródłem prądowym. Zespół redystrybucji zawiera sekcje, których liczba jest równa liczbie bitów słowa cyfrowego. Sekcja kondensatora próbkującego i każda sekcja zespołu redystrybucji zawiera łącznik źródłowy, łącznik docelowy, przełącznik masy i co najmniej jeden kondensator. Górna okładka kondensatora próbkującego i każdego kondensatora zespołu redystrybucji jest łączona z szyną źródłową, poprzez łącznik źródłowy, i/lub z szyną docelową, poprzez łącznik docelowy, a dolna okładka, poprzez przełącznik masy, jest łączona z masą układu lub ze źródłem napięcia pomocniczego. W zespole redystrybucji pojemność każdego kondensatora o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego. Szyna docelowa jest łączona z masą układu

poprzez łącznik szyny docelowej oraz jest połączona z wejściem nieodwracającym drugiego komparatora, którego wejście odwracające jest połączone ze źródłem napięcia odniesienia. Szyna źródłowa jest połączona z wejściem odwracającym pierwszego komparatora, którego wejście nieodwracające jest połączone ze źródłem napięcia pomocniczego. Wejścia sterujące łączników źródłowych oraz łącznika szyny docelowej są połączone, odpowiednio, z wyjściami sterującymi modułu sterującego. Wejścia sterujące łączników docelowych i przełączników masy są ze sobą sprzężone, odpowiednio, i są połączone, odpowiednio, z wyjściami sterującymi modułu sterującego.

Istotną nowością układu jest to, że drugi biegun pierwszego źródła prądowego jest połączony z sekcją kondensatora próbkującego, która zawiera dodatkowy kondensator próbkujący oraz przełączniki górnych okładek i przełączniki dolnych okładek. Górne okładki kondensatora próbkującego i dodatkowego kondensatora próbkującego są łączone poprzez przełączniki górnych okładek z łącznikiem źródłowym i łącznikiem docelowym lub z drugim biegunem pierwszego źródła prądowego. Dolne okładki kondensatora próbkującego i dodatkowego kondensatora próbkującego są łączone poprzez przełączniki dolnych okładek z przełącznikiem masy lub z masą układu. Wejścia sterujące przełączników górnych okładek oraz przełączników dolnych okładek są ze sobą sprzężone i są połączone z wyjściem sterującym przełącznikami okładek.

Korzystne jest, jeżeli co najmniej jedna sekcja zespołu redystrybucji zawiera dodatkowy kondensator oraz przełączniki górnych okładek i przełączniki dolnych okładek. Górne okładki kondensatora i dodatkowego kondensatora takiej sekcji są łączone poprzez przełączniki górnych okładek z łącznikiem źródłowym i łącznikiem docelowym lub z drugim biegunem pierwszego źródła prądowego. Dolne okładki kondensatora i dodatkowego kondensatora takiej sekcji są łączone poprzez przełączniki dolnych okładek z przełącznikiem masy lub z masą układu. Wejścia sterujące przełączników górnych okładek i przełączników dolnych okładek są ze sobą sprzężone i są połączone z wyjściem sterującym przełącznikami okładek.

Korzystne jest, jeżeli pojemności kondensatora próbkującego i dodatkowego kondensatora próbkującego są nie mniejsze od pojemności kondensatora o największej pojemności w zespole redystrybucji.

Korzystne jest także, jeżeli dodatkowy kondensator zespołu redystrybucji ma pojemność równą, odpowiednio, pojemności kondensatora zespołu redystrybucji.

Zaletą układu, według wynalazku, zawierającego dodatkowy kondensator próbkujący jest możliwość przetwarzania na słowo cyfrowe dwóch kolejnych interwałów czasu, bez konieczności wprowadzania pomiędzy nie przerwy służącej do realizowania procesu redystrybucji zgromadzonego ładunku elektrycznego oraz fazy relaksacji. Gromadzenie w dodatkowym kondensatorze próbkującym porcji ładunku elektrycznego odwzorowującej drugi z przetwarzanych interwałów czasu jest wykonywane równocześnie z realizowaniem procesu redystrybucji porcji ładunku zgromadzonej w kondensatorze próbkującym i reprezentującej pierwszy interwał czasu. Dzięki temu wyniki każdego z pomiarów są podawane z minimalnym opóźnieniem, równym czasowi realizowania procesu redystrybucji. Ponadto, wykonywanie czynności związanych z przetwarzaniem obu interwałów czasu przez ten sam moduł sterujący, zespół redystrybucji oraz zestaw komparatorów i źródeł prądowych przyczynia się do zredukowania ilości energii pobieranej przez układ w przeliczeniu na pojedynczy proces przetwarzania, podnosząc jego sprawność energetyczną.

Zastosowanie dodatkowego kondensatora o największej pojemności w zespole redystrybucji umożliwia dwukrotne zmniejszenie wymaganej pojemności dodatkowego kondensatora próbkującego i tym samym istotne ograniczenie powierzchni zajmowanej przez przetwornik wykonany w postaci monolitycznego układu scalonego. Dzięki równoległemu łączeniu dodatkowego kondensatora próbkującego z dodatkowym kondensatorem o największej pojemności w zespole redystrybucji maksymalna wielkość napięcia pojawiającego się na dodatkowym kondensatorze próbkującym o zredukowanej pojemności nie ulega zwiększeniu. Ponadto, czas realizowania procesu redystrybucji ładunku elektrycznego zgromadzonego w dodatkowym kondensatorze próbkującym i łączonym z nim równolegle dodatkowym kondensatorze o największej pojemności w zespole redystrybucji jest krótszy o co najmniej 25%.

Przedmiot wynalazku jest objaśniony w przykładach wykonania na rysunku, na którym przedstawiono układ w różnych etapach procesu przetwarzania, a zatem różnych stanach łączników i przełączników:

Fig. 1 – schemat układu w stanie relaksacji, przed rozpoczęciem procesu przetwarzania;

Fig. 2 – schemat układu podczas gromadzenia ładunku w kondensatorze próbkującym C_n ;

- Fig. 3 – schemat układu w chwili rozpoczęcia redystrybucji ładunku zgromadzonego w kondensatorze próbkującym C_n ;
- Fig. 4 – przykładowa sekwencja przetwarzanych interwałów czasu;
- Fig. 5 – przykładowa sekwencja przetwarzanych interwałów czasu, występujących bezpośrednio po sobie;
- Fig. 6 – schemat układu podczas przenoszenia ładunku z kolejnego kondensatora źródłowego C_i do kondensatora docelowego C_k ;
- Fig. 7 – schemat układu w chwili rozpoczęcia redystrybucji ładunku zgromadzonego w dodatkowym kondensatorze próbkującym C_{nA} ;
- Fig. 8 – schemat układu w stanie relaksacji przed rozpoczęciem procesu przetwarzania;
- Fig. 9 – schemat układu podczas gromadzenia ładunku w kondensatorze próbkującym C_n i łączonym z nim równolegle kondensatorze C_{n-1} ;
- Fig. 10 – schemat układu w chwili rozpoczęcia redystrybucji ładunku zgromadzonego w kondensatorze próbkującym C_n i kondensatorze C_{n-1} ;
- Fig. 11 – schemat układu w chwili rozpoczęcia redystrybucji ładunku zgromadzonego w dodatkowym kondensatorze próbkującym C_{nA} i dodatkowym kondensatorze C_{n-1A} .

Zgodnie z wynalazkiem układ do bezzegarowego przetwarzania interwału czasu na słowo cyfrowe zawiera zespół redystrybucji A, którego wejścia sterujące są połączone z wyjściami sterującymi modułu sterującego CM. Moduł sterujący CM jest wyposażony w wyjście słowa cyfrowego B, wyjście zakończenia przetwarzania OutR, wejście interwału czasu InT oraz pierwsze wejście sterujące In1, połączone z wyjściem pierwszego komparatora K1 i drugie wejście sterujące In2, połączone z wyjściem drugiego komparatora K2. Do zespołu redystrybucji A jest podłączone źródło napięcia pomocniczego U_H , sekcja kondensatora próbkującego A_n i drugie sterowane źródło prądowe J o wydajności dwukrotnie większej od wydajności pierwszego źródła prądowego I. Wejście sterujące drugiego źródła prądowego J jest połączone z wyjściem sterującym drugim źródłem prądowym A_J . Pierwszy biegun drugiego źródła prądowego J jest połączony z szyną źródłową H, a drugi biegun drugiego źródła prądowego J jest połączony z szyną docelową L. Źródło napięcia zasilającego U_{DD} jest połączone z pierwszym biegunem pierwszego źródła prądowego I, którego wejście sterujące jest połączone z wyjściem sterującym pierwszym źródłem prądowym A_I . Zespół redystrybucji zawiera sekcje, których liczba n jest równa liczbie bitów słowa cyfrowego. Sekcja kondensatora próbkującego A_n i sekcje zespołu redystrybucji A zawierają łączniki źródłowe S_{Hn} , S_{Hn-1} , S_{Hn-2} , ..., S_{H1} , S_{H0} , łączniki docelowe S_{Ln} , S_{Ln-1} , S_{Ln-2} , ..., S_{L1} , S_{L0} , przełączniki masy S_{Gn} , S_{Gn-1} , S_{Gn-2} , ..., S_{G1} , S_{G0} , i kondensatory C_n , C_{n-1} , C_{n-2} , ..., C_1 , C_0 . Górne okładki kondensatorów C_{n-1} , C_{n-2} , C_1 , C_0 zespołu redystrybucji są połączone z szyną źródłową H, poprzez łączniki źródłowe S_{Hn-1} , S_{Hn-2} , ..., S_{H1} , S_{H0} i z szyną docelową L, poprzez łączniki docelowe S_{Ln-1} , S_{Ln-2} , S_{L1} , S_{L0} , a dolne okładki tych kondensatorów, poprzez przełączniki masy S_{Gn-1} , S_{Gn-2} , S_{G1} , S_{G0} , są połączone z masą układu oraz ze źródłem napięcia pomocniczego U_H . W zespole redystrybucji A pojemność każdego kondensatora C_{n-1} , C_{n-2} , C_1 , C_0 o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego. Pojemność kondensatora próbkującego C_n jest dwukrotnie większa od pojemności kondensatora C_{n-1} o największej pojemności w zespole redystrybucji. Każdemu kondensatorowi C_{n-1} , C_{n-2} , ..., C_1 , C_0 zespołu redystrybucji jest przyporządkowany, odpowiednio, bit b_{n-1} , b_{n-2} , b_1 , b_0 słowa cyfrowego. Szyna docelowa L jest połączona z masą układu poprzez łącznik szyny docelowej S_{Gall} oraz z wejściem nieodwracającym drugiego komparatora K2, którego wejście odwracające jest połączone ze źródłem napięcia odniesienia U_L . Szyna źródłowa H jest połączona z wejściem odwracającym pierwszego komparatora K1, którego wejście nieodwracające jest połączone ze źródłem napięcia pomocniczego U_H . Wejścia sterujące łączników źródłowych S_{Hn} , S_{Hn-1} , S_{Hn-2} , ..., S_{H1} , S_{H0} oraz łącznika szyny docelowej S_{Gall} są połączone, odpowiednio, z wyjściami sterującymi D_n , D_{n-1} , D_{n-2} , ..., D_1 , D_0 ; D_{all} . Wejścia sterujące łączników docelowych S_{Ln} , S_{Ln-1} , S_{Ln-2} , ..., S_{L1} , S_{L0} i przełączników masy S_{Gn} , S_{Gn-1} , S_{Gn-2} , ..., S_{G1} , S_{G0} są ze sobą sprzężone, odpowiednio, i są połączone, odpowiednio, z wyjściami sterującymi I_n , I_{n-1} , I_{n-2} , ..., I_1 , I_0 .

Drugi biegun pierwszego źródła prądowego I jest połączony z sekcją kondensatora próbkującego A_n , która zawiera dodatkowy kondensator próbkujący C_{nA} oraz przełączniki górnych okładek S_{Tn} , S_{TnA} i przełączniki dolnych okładek S_{Bn} , S_{BnA} . Pojemność dodatkowego kondensatora próbkującego C_{nA} jest równa pojemności kondensatora próbkującego C_n . Górne okładki kondensatora próbkującego C_n i dodatkowego kondensatora próbkującego C_{nA} są połączone, poprzez przełączniki górnych okładek S_{Tn} , S_{TnA} z łącznikiem źródłowym S_{Hn} i łącznikiem docelowym S_{Ln} oraz z drugim biegunem pierw-

szego źródła prądowego I. Dolne okładki kondensatora próbkującego C_n i dodatkowego kondensatora próbkującego C_{nA} są połączone, poprzez przełączniki dolnych okładek S_{Bn} , S_{BnA} z przełącznikiem masy S_{Gn} oraz z masą układu. Wejścia sterujące przełączników górnych okładek S_{Tn} , S_{TnA} oraz przełączników dolnych okładek S_{Bn} , S_{BnA} są ze sobą sprzężone i są połączone z wyjściem sterującym przełącznikami okładek A_c . Łącznik źródłowy S_{Hn} jest połączony z szyną źródłową H, łącznik docelowy S_{Ln} jest połączony z szyną docelową L, a przełącznik masy S_{Gn} jest połączony z masą układu oraz ze źródłem napięcia pomocniczego U_H .

W innym przykładowym rozwiązaniu sekcja kondensatora C_{n-1} o największej pojemności w zespole redystrybucji zawiera dodatkowy kondensator C_{n-1A} o największej pojemności w zespole redystrybucji oraz przełączniki górnych okładek S_{Tn-1} , S_{Tn-1A} i przełączniki dolnych okładek S_{Bn-1} , S_{Bn-1A} . Dodatkowy kondensator C_{n-1A} o największej pojemności w zespole redystrybucji ma pojemność równą pojemności kondensatora C_{n-1} o największej pojemności w zespole redystrybucji. Górne okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji i dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji są połączone, poprzez przełączniki górnych okładek S_{Tn-1} , S_{Tn-1A} z łącznikiem źródłowym S_{Hn-1} i łącznikiem docelowym S_{Ln-1} oraz z drugim biegunem pierwszego źródła prądowego I. Dolne okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji i dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji są połączone, poprzez przełączniki dolnych okładek S_{Bn-1} , S_{Bn-1A} z przełącznikiem masy S_{Gn-1} oraz z masą układu. Wejścia sterujące przełączników górnych okładek S_{Tn-1} , S_{Tn-1A} i przełączników dolnych okładek S_{Bn-1} , S_{Bn-1A} są ze sobą sprzężone i są połączone z wyjściem sterującym przełącznikami okładek A_c .

Przetwarzanie interwału czasu na słowo cyfrowe realizowane, według wynalazku, w pierwszym przykładowym układzie jest następujące. Przed rozpoczęciem pierwszego procesu przetwarzania interwału czasu na słowo cyfrowe o liczbie bitów równej n moduł sterujący CM wprowadza wyjście zakończenia przetwarzania OutR w stan nieaktywny. Przy pomocy sygnału z wyjścia sterującego pierwszym źródłem prądowym A_i moduł sterujący CM powoduje wyłączenie pierwszego źródła prądowego I, zaś przy pomocy sygnału z wyjścia sterującego drugim źródłem prądowym A_j powoduje wyłączenie drugiego źródła prądowego J. Przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_c moduł sterujący CM powoduje przełączenie przełączników górnych okładek S_{Tn} , S_{TnA} oraz przełączników dolnych okładek S_{Bn} , S_{BnA} i połączenie górnej okładki kondensatora próbkującego C_n z łącznikiem źródłowym S_{Hn} i łącznikiem docelowym S_{Ln} , połączenie górnej okładki dodatkowego kondensatora próbkującego C_{nA} z drugim biegunem pierwszego źródła prądowego I, połączenie dolnej okładki kondensatora próbkującego C_n z przełącznikiem masy S_{Gn} oraz połączenie dolnej okładki dodatkowego kondensatora próbkującego C_{nA} z masą układu. Następnie moduł sterujący CM wprowadza układ w stanie relaksacji, pokazanym na fig. 1. W tym celu moduł sterujący CM, przy pomocy sygnałów z wyjść sterujących D_{n-1} , D_{n-2} , ..., D_1 , D_0 powoduje otwarcie łączników źródłowych S_{Hn-1} , S_{Hn-2} , ..., S_{H1} , S_{H0} . Przy pomocy sygnałów z wyjść sterujących I_n , I_{n-1} , I_{n-2} , ..., I_1 , I_0 moduł sterujący CM powoduje zamknięcie łączników docelowych S_{Ln} , S_{Ln-1} , S_{Ln-2} , ..., S_{L1} , S_{L0} i połączenie górnych okładek kondensatora próbkującego C_n i wszystkich kondensatorów C_{n-1} , C_{n-2} , ..., C_1 , C_0 zespołu redystrybucji z szyną docelową L oraz przełączenie przełączników masy S_{Gn} , S_{Gn-1} , S_{Gn-2} , ..., S_{G1} , S_{G0} i połączenie dolnych okładek kondensatora próbkującego C_n i wszystkich kondensatorów C_{n-1} , C_{n-2} , ..., C_1 , C_0 zespołu redystrybucji z masą układu. Przy pomocy sygnału z wyjścia sterującego D_{all} moduł sterujący CM powoduje zamknięcie łącznika szyny docelowej S_{Gall} i połączenie szyny docelowej L z masą układu, wymuszając całkowite rozładowanie kondensatora próbkującego C_n i wszystkich kondensatorów C_{n-1} , C_{n-2} , ..., C_1 , C_0 zespołu redystrybucji. Jednocześnie, moduł sterujący CM powoduje przy pomocy sygnału z wyjścia sterującego D_n zamknięcie łącznika źródłowego S_{Hn} i połączenie szyny źródłowej H z szyną docelową L i z masą układu, uniemożliwiając pojawienie się na szynie źródłowej H potencjału o przypadkowej wielkości.

W chwili wykrycia przez moduł sterujący CM początku interwału czasu T_x , sygnalizowanego na wejściu interwału czasu InT, moduł sterujący CM wprowadza układ w stan pokazany na fig. 2. W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_c , przełączenie przełączników górnych okładek S_{Tn} , S_{TnA} oraz przełączników dolnych okładek S_{Bn} , S_{BnA} i połączenie górnej okładki kondensatora próbkującego C_n z drugim biegunem pierwszego źródła prądowego I, połączenie górnej okładki dodatkowego kondensatora próbkującego C_{nA} z łącznikiem źródłowym S_{Hn} i łącznikiem docelowym S_{Ln} , połączenie dolnej okładki kondensatora próbkującego C_n z masą układu oraz połączenie dolnej okładki dodatkowego kondensatora próbkującego C_{nA}

z przełącznikiem masy S_{Gn} , wymuszając całkowite rozładowanie dodatkowego kondensatora próbkującego C_{nA} . Następnie moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego pierwszym źródłem prądowym A_1 , włączenie pierwszego źródła prądowego I. Ładunek elektryczny dostarczany za pomocą pierwszego źródła prądowego I jest gromadzony w kondensatorze próbkującym C_n , który, jako jedyny, jest wówczas połączony z drugim biegunem pierwszego źródła prądowego I poprzez przełącznik górnej okładki S_{Tn} .

W chwili wykrycia przez moduł sterujący CM końca interwału czasu T_x , sygnalizowanego na wejściu interwału czasu InT , moduł sterujący CM wprowadza układ w stan pokazany na fig. 3. W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego D_{all} , otwarcie łącznika szyny docelowej S_{Gall} i odłączenie szyny docelowej L od masy układu. Przy pomocy sygnałów z wyjść sterujących $I_n, I_{n-2}, \dots, I_1, I_0$ moduł sterujący CM powoduje otwarcie łączników docelowych $S_{Ln}, S_{Ln-2}, S_{L1}, S_{L0}$ i odłączenie górnych okładek dodatkowego kondensatora próbkującego C_{nA} i kondensatorów $C_{n-2}, \dots, C_1, C_0$ zespołu redystrybucji od szyny docelowej L oraz przełączenie przełączników masy $S_{Gn}, S_{Gn-2}, \dots, S_{G1}, S_{G0}$ i połączenie dolnych okładek dodatkowego kondensatora próbkującego C_{nA} kondensatorów $C_{n-2}, \dots, C_1, C_0$ zespołu redystrybucji ze źródłem napięcia pomocniczego U_H . Przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_c moduł sterujący CM powoduje przełączenie przełączników górnych okładek S_{Tn}, S_{TnA} oraz przełączników dolnych okładek S_{Bn}, S_{BnA} i połączenie górnej okładki kondensatora próbkującego C_n z łącznikiem źródłowym S_{Hn} i łącznikiem docelowym S_{Ln} , połączenie górnej okładki dodatkowego kondensatora próbkującego C_{nA} z drugim biegunem pierwszego źródła prądowego I, połączenie dolnej okładki kondensatora próbkującego C_n z przełącznikiem masy S_{Gn} oraz połączenie dolnej okładki dodatkowego kondensatora próbkującego C_{nA} z masą układu.

W przypadku pokazanym na fig. 4, gdy wykryty przez moduł sterujący CM koniec interwału czasu T_x nie wyznacza jednocześnie początku następnego interwału czasu T_{x+1} , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego pierwszym źródłem prądowym A_1 , wyłączenie pierwszego źródła prądowego I. W chwili wykrycia przez moduł sterujący CM początku następnego interwału czasu T_{x+1} , sygnalizowanego na wejściu interwału czasu InT , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego pierwszym źródłem prądowym A_1 , ponowne włączenie pierwszego źródła prądowego I. Ładunek elektryczny dostarczany za pomocą pierwszego źródła prądowego I jest gromadzony w dodatkowym kondensatorze próbkującym C_{nA} , który, jako jedyny, jest wówczas połączony z drugim biegunem pierwszego źródła prądowego I poprzez przełącznik górnej okładki S_{TnA} .

W przypadku pokazanym na fig. 5, gdy wykryty przez moduł sterujący CM koniec interwału czasu T_x wyznacza jednocześnie początek następnego interwału czasu T_{x+1} , ładunek elektryczny dostarczany nadal za pomocą pierwszego źródła prądowego I jest gromadzony w dodatkowym kondensatorze próbkującym C_{nA} , który jako jedyny, jest wówczas połączony z drugim biegunem pierwszego źródła prądowego I poprzez przełącznik górnej okładki S_{Tn} .

W obu przypadkach moduł sterujący CM wprowadza wyjście zakończenia przetwarzania $OutR$ w stan nieaktywny oraz przypisuje wszystkim bitom $b_{n-1}, b_{n-2}, \dots, b_1, b_0$ słowa cyfrowego wartość początkową zero. Następnie moduł sterujący CM przypisuje funkcję kondensatora źródłowego C_i kondensatorowi próbkującemu C_n przez wpisanie do rejestru indeksu źródłowego wartości indeksu kondensatora próbkującego. Jednocześnie moduł sterujący CM przypisuje funkcję kondensatora docelowego C_k kondensatorowi C_{n-1} o największej pojemności w zespole redystrybucji przez wpisanie do rejestru indeksu docelowego wartości indeksu kondensatora o największej pojemności w zespole redystrybucji. Następnie moduł sterujący CM rozpoczyna realizowanie procesu redystrybucji zgromadzonego ładunku elektrycznego. W tym celu moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego drugim źródłem prądowym A_2 , włączenie drugiego źródła prądowego J. Ładunek elektryczny zgromadzony w kondensatorze źródłowym C_i jest przenoszony za pomocą drugiego źródła prądowego J poprzez szynę źródłową H i szynę docelową L do kondensatora docelowego C_k , przy czym w trakcie przenoszenia ładunku napięcie U_i na kondensatorze źródłowym stopniowo maleje i jednocześnie napięcie U_k na kondensatorze docelowym stopniowo rośnie.

W przypadku, gdy podczas przenoszenia ładunku elektrycznego napięcie U_k na aktualnym kondensatorze docelowym osiągnie wielkość napięcia odniesienia U_L , wówczas, na podstawie sygnału wyjściowego drugiego komparatora K2, moduł sterujący CM przypisuje odpowiedniemu bitowi b_k słowa cyfrowego wartość jeden. Przy pomocy sygnału z wyjścia sterującego I_k moduł sterujący CM powoduje otwarcie łącznika docelowego S_{Lk} i odłączenie górnej okładki kondensatora docelowego C_k od

szyny docelowej L oraz równoczesne przełączenie przełącznika masy S_{Gk} i połączenie dolnej okładki kondensatora docelowego C_k ze źródłem napięcia pomocniczego U_H . Następnie moduł sterujący CM przypisuje funkcję kondensatora docelowego C_k następnemu w kolejności kondensatorowi zespołu redystrybucji A o pojemności dwukrotnie mniejszej od pojemności kondensatora, który pełnił tę funkcję bezpośrednio wcześniej, przez zmniejszenie o jeden zawartości rejestru indeksu docelowego. Przy pomocy sygnału z wyjścia sterującego I_k moduł sterujący CM powoduje zamknięcie łącznika docelowego S_{Lk} i połączenie górnej okładki nowego kondensatora docelowego C_k z szyną docelową L oraz równoczesne przełączenie przełącznika masy S_{Gk} i połączenie dolnej okładki kondensatora docelowego C_k z masą układu.

W przypadku, gdy podczas przenoszenia ładunku elektrycznego napięcie U_i na kondensatorze źródłowym osiągnie wartość zero, wówczas, na podstawie sygnału wyjściowego pierwszego komparatora K1, moduł sterujący CM, przy pomocy sygnału z wyjścia sterującego D_i , powoduje otwarcie łącznika źródłowego S_{Hi} i odłączenie górnej okładki kondensatora źródłowego C_i od szyny źródłowej H. Przy pomocy sygnału z wyjścia sterującego I_k moduł sterujący CM powoduje otwarcie łącznika docelowego S_{Lk} i odłączenie górnej okładki kondensatora docelowego C_k od szyny docelowej L oraz równoczesne przełączenie przełącznika masy S_{Gk} i połączenie dolnej okładki kondensatora docelowego C_k ze źródłem napięcia pomocniczego U_H . Następnie moduł sterujący CM przypisuje funkcję kondensatora źródłowego C_i kondensatorowi, który do tej pory pełnił funkcję kondensatora docelowego C_k przez wpisanie aktualnej zawartości rejestru indeksu docelowego do rejestru indeksu źródłowego. Przy pomocy sygnału z wyjścia sterującego D_i moduł sterujący CM powoduje zamknięcie łącznika źródłowego S_{Hi} i połączenie górnej okładki nowego kondensatora źródłowego C_i z szyną źródłową H. Następnie moduł sterujący CM zmniejsza o jeden zawartość rejestru indeksu docelowego i przypisuje funkcję kondensatora docelowego C_k kolejnemu kondensatorowi zespołu redystrybucji A o pojemności dwukrotnie mniejszej od pojemności kondensatora, który pełnił tę funkcję bezpośrednio wcześniej. Przy pomocy sygnału z wyjścia sterującego I_k moduł sterujący CM powoduje zamknięcie łącznika docelowego S_{Lk} i połączenie górnej okładki nowego kondensatora docelowego C_k z szyną docelową L oraz równoczesne przełączenie przełącznika masy S_{Gk} i połączenie dolnej okładki nowego kondensatora docelowego C_k z masą układu. Opisany powyżej stan układu pokazano na fig. 6.

W obu przypadkach moduł sterujący CM kontynuuje proces redystrybucji ładunku elektrycznego na podstawie sygnałów wyjściowych pierwszego komparatora K1 i drugiego komparatora K2. Każde pojawienie się stanu aktywnego na wyjściu drugiego komparatora K2 powoduje przypisanie funkcji kondensatora docelowego C_k następnemu w kolejności kondensatorowi zespołu redystrybucji A o pojemności dwukrotnie mniejszej od pojemności kondensatora, który pełnił tę funkcję bezpośrednio wcześniej. Każde pojawienie się stanu aktywnego na wyjściu pierwszego komparatora K1 powoduje przypisanie funkcji kondensatora źródłowego C_i kondensatorowi zespołu redystrybucji A, który aktualnie pełnił funkcję kondensatora docelowego C_k i jednocześnie przypisanie funkcji kondensatora docelowego C_k następnemu w kolejności kondensatorowi zespołu redystrybucji A o pojemności dwukrotnie mniejszej od pojemności kondensatora pełniącego tę funkcję bezpośrednio wcześniej. Proces redystrybucji ładunku zostaje zakończony w chwili, gdy funkcję kondensatora docelowego C_k przestaje pełnić kondensator C_0 o najmniejszej pojemności w zespole redystrybucji. Sytuacja taka występuje, gdy podczas przenoszenia ładunku do kondensatora C_0 o najmniejszej pojemności w zespole redystrybucji na wyjściu pierwszego komparatora K1 albo na wyjściu drugiego komparatora K2 pojawia się stan aktywny. Gdy stan aktywny pojawia się na wyjściu drugiego komparatora K2, moduł sterujący CM przypisuje bitowi b_0 wartości jeden.

Po zakończeniu procesu redystrybucji ładunku elektrycznego zgromadzonego w kondensatorze próbkującym C_n oraz przypisaniu odpowiednich wartości bitom b_{n-1} , b_{n-2} , ..., b_1 , b_0 słowa cyfrowego, moduł sterujący CM wprowadza wyjście zakończenia przetwarzania OutR w stan aktywny. Przy pomocy sygnału z wyjścia sterującego drugim źródłem prądowym A_j moduł sterujący CM powoduje wyłączenie drugiego źródła prądowego J. Następnie moduł sterujący CM wprowadza układ w stan relaksacji, pokazany na fig. 1.

Po wykryciu przez moduł sterujący CM końca następnego interwału czasu T_{x+1} , sygnalizowanego na wejściu interwału czasu InT, moduł sterujący CM wprowadza układ w stan pokazany na fig. 7. W tym celu moduł sterujący CM, przy pomocy sygnału z wyjścia sterującego D_{all} powoduje otwarcie łącznika szyny docelowej S_{Gall} i odłączenie szyny docelowej L od masy układu. Przy pomocy sygnałów z wyjść sterujących I_n , I_{n-2} , I_1 , I_0 moduł sterujący CM powoduje otwarcie łączników docelowych S_{Ln} , S_{Ln-2} , ..., S_{L1} , S_{L0} i odłączenie górnych okładek kondensatora próbkującego C_n i kondensato-

rów $C_{n-2}, \dots, C_1, C_0$ zespołu redystrybucji od szyny docelowej L oraz przełączenie przełączników masy S_{Gn} , $SG_{n-2}, \dots, SG_1, SG_0$ i połączenie dolnych okładek kondensatora próbkującego C_n i kondensatorów $C_{n-2}, \dots, C_1, C_0$ zespołu redystrybucji ze źródłem napięcia pomocniczego U_H . Przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_c moduł sterujący CM powoduje przełączenie przełączników górnych okładek S_{Tn} , ST_{nA} oraz przełączników dolnych okładek S_{Bn} , SB_{nA} i połączenie górnej okładki kondensatora próbkującego C_n z drugim biegunem pierwszego źródła prądowego I, połączenie górnej okładki dodatkowego kondensatora próbkującego C_{nA} z łącznikiem źródłowym S_{Hn} i łącznikiem docelowym S_{Ln} , połączenie dolnej okładki kondensatora próbkującego C_n z masą układu oraz połączenie dolnej okładki dodatkowego kondensatora próbkującego C_{nA} z przełącznikiem masy S_{Gn} .

W przypadku pokazanym na fig. 4, gdy wykryty przez moduł sterujący CM koniec następnego interwału czasu T_{x+1} nie wyznacza jednocześnie początku kolejnego interwału czasu T_{x+2} , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego pierwszym źródłem prądowym A_i , wyłączenie pierwszego źródła prądowego I. W chwili wykrycia przez moduł sterujący CM początku kolejnego interwału czasu T_{x+2} , sygnalizowanego na wejściu interwału czasu lnT , moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego pierwszym źródłem prądowym A_i , ponowne włączenie pierwszego źródła prądowego I. Ładunek elektryczny dostarczany za pomocą pierwszego źródła prądowego I jest gromadzony w kondensatorze próbkującym C_n , który, jako jedyny, jest wówczas połączony z drugim biegunem pierwszego źródła prądowego I poprzez przełącznik górnej okładki S_{Tn} .

W przypadku pokazanym na fig. 5, gdy wykryty przez moduł sterujący CM koniec następnego interwału czasu T_{x+1} wyznacza jednocześnie początek kolejnego interwału czasu T_{x+2} , ładunek elektryczny dostarczany nadal za pomocą pierwszego źródła prądowego I jest gromadzony w kondensatorze próbkującym C_n , który, jako jedyny, jest wówczas połączony z drugim biegunem pierwszego źródła prądowego I poprzez przełącznik górnej okładki S_{Tn} .

W obu przypadkach moduł sterujący CM wprowadza wyjście zakończenia przetwarzania $OutR$ w stan nieaktywny oraz przypisuje wszystkim bitom $b_{n-1}, b_{n-2}, \dots, b_1, b_0$ słowa cyfrowego wartość początkową zero. Następnie moduł sterujący CM przypisuje funkcję kondensatora źródłowego C_i dodatkowemu kondensatorowi próbkującemu C_{nA} przez wpisanie do rejestru indeksu źródłowego wartości indeksu kondensatora próbkującego C_n . Jednocześnie, moduł sterujący CM przypisuje funkcję kondensatora docelowego C_k kondensatorowi C_{n-1} o największej pojemności w zespole redystrybucji przez wpisanie do rejestru indeksu docelowego wartości indeksu kondensatora C_{n-1} o największej pojemności w zespole redystrybucji. Następnie moduł sterujący CM powoduje, przy pomocy sygnału z wyjścia sterującego drugim źródłem prądowym A_j , włączenie drugiego źródła prądowego J i rozpoczyna realizowanie procesu redystrybucji ładunku elektrycznego zgromadzonego w dodatkowym kondensatorze próbkującym C_{nA} . Proces ten dobiega końca w chwili, gdy funkcję kondensatora docelowego C_k przestaje pełnić kondensator C_0 o najmniejszej pojemności w zespole redystrybucji.

Po zakończeniu procesu redystrybucji ładunku elektrycznego zgromadzonego w dodatkowym kondensatorze próbkującym C_{nA} oraz przypisaniu odpowiednich wartości bitom $b_{n-1}, b_{n-2}, \dots, b_1, b_0$ słowa cyfrowego moduł sterujący CM wprowadza wyjście zakończenia przetwarzania $OutR$ w stan aktywny. Przy pomocy sygnału z wyjścia sterującego drugim źródłem prądowym A_j moduł sterujący CM powoduje wyłączenie drugiego źródła prądowego J. Następnie moduł sterujący CM wprowadza układ w stan relaksacji, pokazany na fig. 2.

Przetwarzanie interwału czasu na słowo cyfrowe w drugim przykładowym układzie jest następujące. Przed rozpoczęciem pierwszego procesu przetwarzania interwału czasu na słowo cyfrowe o liczbie bitów równej n moduł sterujący CM powoduje dodatkowo, przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_c , przełączenie przełączników górnych okładek S_{Tn-1} , ST_{n-1A} oraz przełączników dolnych okładek S_{Bn-1} , SB_{n-1A} i połączenie górnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z łącznikiem źródłowym S_{Hn-1} i łącznikiem docelowym S_{Ln-1} , połączenie górnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z drugim biegunem pierwszego źródła prądowego I, połączenie dolnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z przełącznikiem masy S_{Gn-1} oraz połączenie dolnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z masą układu. Opisany powyżej stan układu pokazano na fig. 8.

W chwili wykrycia przez moduł sterujący CM początku interwału czasu T_x , sygnalizowanego na wejściu interwału czasu lnT , moduł sterujący CM powoduje dodatkowo, przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_c , przełączenie przełączników górnych okładek S_{Tn-1} , ST_{n-1A}

oraz przełączników dolnych okładek S_{Bn-1} , S_{Bn-1A} i połączenie górnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z drugim biegunem pierwszego źródła prądowego I, połączenie górnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z łącznikiem źródłowym S_{Hn-1} i łącznikiem docelowym S_{Ln-1} , połączenie dolnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z masą układu oraz połączenie dolnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z przełącznikiem masy S_{Gn-1} , wymuszając całkowite rozładowanie dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji. Ładunek elektryczny dostarczany za pomocą pierwszego źródła prądowego I jest gromadzony jednocześnie w kondensatorze próbkującym C_n oraz łączonym z nim równolegle kondensatorze C_{n-1} o największej pojemności w zespole redystrybucji, które, jako jedyne, są wówczas połączone z drugim biegunem pierwszego źródła prądowego I poprzez przełączniki górnych okładek S_{Tn} , S_{Tn-1} . Opisany powyżej stan układu pokazano na fig. 9.

Po wykryciu przez moduł sterujący CM końca interwału czasu T_x , sygnalizowanego na wejściu interwału czasu InT , moduł sterujący CM powoduje dodatkowo, przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_c , przełączenie przełączników górnych okładek S_{Tn-1} , S_{Tn-1A} oraz przełączników dolnych okładek S_{Bn-1} , S_{Bn-1A} i połączenie górnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z łącznikiem źródłowym S_{Hn-1} i łącznikiem docelowym S_{Ln-1} , połączenie górnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z drugim biegunem pierwszego źródła prądowego I, połączenie dolnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z przełącznikiem masy S_{Gn} oraz połączenie dolnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z masą układu. Opisany powyżej stan układu pokazano na fig. 10.

Po wykryciu przez moduł sterujący CM początku następnego interwału czasu T_{x+1} , sygnalizowanego na wejściu interwału czasu InT , ładunek elektryczny dostarczany za pomocą pierwszego źródła prądowego I jest gromadzony jednocześnie w dodatkowym kondensatorze próbkującym C_{nA} oraz łączonym z nim równolegle dodatkowym kondensatorze C_{n-1A} o największej pojemności w zespole redystrybucji, które, jako jedyne, są wówczas połączone z drugim biegunem pierwszego źródła prądowego I poprzez przełączniki górnych okładek S_{TnA} , S_{Tn-1A} .

Po wykryciu przez moduł sterujący CM końca następnego interwału czasu T_{x+1} , sygnalizowanego na wejściu interwału czasu InT , moduł sterujący CM powoduje dodatkowo, przy pomocy sygnału z wyjścia sterującego przełącznikami okładek A_c , przełączenie przełączników górnych okładek S_{Tn-1} , S_{Tn-1A} oraz przełączników dolnych okładek S_{Bn-1} , S_{Bn-1A} i połączenie górnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z drugim biegunem pierwszego źródła prądowego I, połączenie górnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z łącznikiem źródłowym S_{Hn-1} i łącznikiem docelowym S_{Ln-1} , połączenie dolnej okładki kondensatora C_{n-1} o największej pojemności w zespole redystrybucji z masą układu oraz połączenie dolnej okładki dodatkowego kondensatora C_{n-1A} o największej pojemności w zespole redystrybucji z przełącznikiem masy S_{Gn-1} . Opisany powyżej stan układu pokazano na fig. 11.

Inne przetwarzanie interwału czasu na słowo cyfrowe realizowane w przykładowym układzie różni się od poprzednich tym, że po każdym zakończeniu procesu redystrybucji zgromadzonego ładunku elektrycznego moduł sterujący CM pozostawia w ostatnim z kondensatorów, na którym podczas realizowania procesu redystrybucji nie uzyskano napięcia odniesienia U_L zgromadzony tam ładunek elektryczny.

W przypadku, gdy moduł sterujący CM podczas realizowania procesu redystrybucji przypisał bitowi b_0 wartość zero, moduł sterujący CM, wprowadzając układ w stan relaksacji powoduje, przy pomocy sygnału z wyjścia sterującego I_0 , otwarcie łącznika docelowego S_{L0} i odłączenie górnej okładki kondensatora C_0 o najmniejszej pojemności w zespole redystrybucji od szyny docelowej L oraz przełączenie przełącznika masy S_{G0} i połączenie dolnej okładki kondensatora C_0 o najmniejszej pojemności w zespole redystrybucji ze źródłem napięcia pomocniczego U_H .

W przypadku, gdy moduł sterujący CM podczas realizowania procesu redystrybucji przypisał bitowi b_0 wartość jeden, moduł sterujący CM, wprowadzając układ w stan relaksacji powoduje, przy pomocy sygnału z wyjścia sterującego I_i , otwarcie łącznika docelowego S_{Li} i odłączenie górnej okładki kondensatora źródłowego C_i od szyny docelowej L oraz przełączenie przełącznika masy S_{Gi} i połączenie dolnej okładki kondensatora źródłowego C_i ze źródłem napięcia pomocniczego U_H .

Zastrzeżenia patentowe

1. Układ do bezzegarowego przetwarzania interwału czasu na słowo cyfrowe, zawierający zespół redystrybucji, którego wejścia sterujące są połączone z wyjściami sterującymi modułu sterującego, a moduł sterujący jest wyposażony w wyjście słowa cyfrowego, wyjście zakończenia przetwarzania, wejście interwału czasu oraz pierwsze wejście sterujące, połączone z wyjściem pierwszego komparatora i drugie wejście sterujące, połączone z wyjściem drugiego komparatora, zaś do zespołu redystrybucji jest podłączone źródło napięcia pomocniczego, sekcja kondensatora próbkującego i drugie sterowane źródło prądowe, którego wejście sterujące jest połączone z wyjściem sterującym drugim źródłem prądowym, przy czym pierwszy biegun drugiego źródła prądowego jest połączony z szyną źródłową, a drugi biegun drugiego źródła prądowego jest połączony z szyną docelową, zaś źródło napięcia zasilającego jest połączone z pierwszym biegunem pierwszego źródła prądowego, którego wejście sterujące jest połączone z wyjściem sterującym pierwszym źródłem prądowym, przy czym zespół redystrybucji zawiera sekcje, których liczba jest równa liczbie bitów słowa cyfrowego, a sekcja kondensatora próbkującego i każda sekcja zespołu redystrybucji zawiera łącznik źródłowy, łącznik docelowy, przełącznik masy i co najmniej jeden kondensator, którego górna okładka jest łączona z szyną źródłową, poprzez łącznik źródłowy, i/lub z szyną docelową, poprzez łącznik docelowy, a dolna okładka, poprzez przełącznik masy, jest łączona z masą układu lub ze źródłem napięcia pomocniczego, przy czym w zespole redystrybucji pojemność każdego kondensatora o kolejnym indeksie jest dwukrotnie większa od pojemności kondensatora bezpośrednio go poprzedzającego, a ponadto szyna docelowa jest połączona z masą układu poprzez łącznik szyny docelowej oraz z wejściem nieodwracającym drugiego komparatora, którego wejście odwracające jest połączone ze źródłem napięcia odniesienia, zaś szyna źródłowa jest połączona z wejściem odwracającym pierwszego komparatora, którego wejście nieodwracające jest połączone ze źródłem napięcia pomocniczego, natomiast wejścia sterujące łączników źródłowych oraz łącznika szyny docelowej są połączone, odpowiednio, z wyjściami sterującymi modułu sterującego, a wejścia sterujące łączników docelowych i przełączników masy są ze sobą sprzężone, odpowiednio, i połączone, odpowiednio, z wyjściami sterującymi modułu sterującego, **znamienny tym**, że drugi biegun pierwszego źródła prądowego (I) jest połączony z sekcją kondensatora próbkującego (A_n), która zawiera dodatkowy kondensator próbkujący (C_{nA}) oraz przełączniki górnych okładek (S_{Tn} , S_{TnA}) i przełączniki dolnych okładek (S_{Bn} , S_{BnA}), przy czym górne okładki kondensatora próbkującego (C_n) i dodatkowego kondensatora próbkującego (C_{n-1}) są łączone poprzez przełączniki górnych okładek (S_{Tn} , S_{TnA}) z łącznikiem źródłowym (S_{Hn}) i łącznikiem docelowym (S_{Ln}) lub z drugim biegunem pierwszego źródła prądowego (I), natomiast dolne okładki kondensatora próbkującego (C_n) i dodatkowego kondensatora próbkującego (C_{nA}) są łączone poprzez przełączniki dolnych okładek (S_{Bn} , S_{BnA}) z przełącznikiem masy (S_{Gn}) lub z masą układu, zaś wejścia sterujące przełączników górnych okładek (S_{Tn} , S_{TnA}) oraz przełączników dolnych okładek (S_{Bn} , S_{BnA}) są ze sobą sprzężone i są połączone z wyjściem sterującym przełącznikami okładek (A_c).

2. Układ według zastrz. 5, **znamienny tym**, że co najmniej jedna sekcja zespołu redystrybucji (A) zawiera dodatkowy kondensator (C_{n-1A} , C_{n-2A} , ..., C_{1A} , C_{0A}) oraz przełączniki górnych okładek (S_{Tn-1} , S_{Tn-2} , ..., S_{T1} , S_{T0} ; S_{Tn-1A} , S_{Tn-2A} , ..., S_{T1A} , S_{T0A}) i przełączniki dolnych okładek (S_{Bn-1} , S_{Bn-2} , ..., S_{B1} , S_{B0} ; S_{Bn-1A} , S_{Bn-2A} , ..., S_{B1A} , S_{B0A}), przy czym górne okładki kondensatorów (C_{n-1} , C_{n-2} , ..., C_1 , C_0) i dodatkowych kondensatorów (C_{n-1A} , C_{n-2A} , ..., C_{1A} , C_{0A}) są łączone, odpowiednio, poprzez przełączniki górnych okładek (S_{Tn-1} , S_{Tn-2} , ..., S_{T1} , S_{T0} ; S_{Tn-1A} , S_{Tn-2A} , ..., S_{T1A} , S_{T0A}) z łącznikami źródłowymi (S_{Hn-1} , S_{Hn-2} , ..., S_{H1} , S_{H0}) i łącznikami docelowymi (S_{Ln-1} , S_{Ln-2} , ..., S_{L1} , S_{L0}) lub z drugim biegunem pierwszego źródła prądowego (I), natomiast dolne okładki kondensatorów (C_{n-1} , C_{n-2} , ..., C_1 , C_0) i dodatkowych kondensatorów (C_{n-1A} , C_{n-2A} , ..., C_{1A} , C_{0A}) są łączone, odpowiednio, poprzez przełączniki dolnych okładek (S_{Bn-1} , S_{Bn-2} , S_{B1} , S_{B0} ; S_{Bn-1A} , S_{Bn-2A} , ..., S_{B1A} , S_{B0A}) z przełącznikami masy (S_{Gn-1} , S_{Gn-2} , ..., S_{G1} , S_{G0}) lub z masą układu, zaś wejścia sterujące przełączników górnych okładek (S_{Tn-1} , S_{Tn-2} , ..., S_{T1} , S_{T0} ; S_{Tn-1A} , S_{Tn-2A} , ..., S_{T1A} , S_{T0A}) i przełączników dolnych okładek (S_{Bn-1} , S_{Bn-2} , ..., S_{B1} , S_{B0} ; S_{Bn-1A} , S_{Bn-2A} , ..., S_{B1A} , S_{B0A}) są ze sobą sprzężone i są połączone z wyjściem sterującym przełącznikami okładek (A_c).

3. Układ według zastrz. 6, **znamienny tym**, że pojemności kondensatora próbkującego (C_n) i dodatkowego kondensatora próbkującego (C_{nA}) są nie mniejsze od pojemności kondensatora (C_{n-1}) o największej pojemności w zespole redystrybucji.

4. Układ według zastrz. 6, **znamienny tym**, że dodatkowy kondensator (C_{n-1A} , C_{n-2A} , ..., C_{1A} , C_{0A}) zespołu redystrybucji ma pojemność równą, odpowiednio, pojemności kondensatora (C_{n-1} , C_{n-2} , ..., C_1 , C_0) zespołu redystrybucji.

„Układ do bezzegarowego przetwarzania
interwału czasu na słowo cyfrowe”

Wykaz oznaczeń na rysunku

A	—	zespół redystrybucji
A_n	—	sekcja kondensatora próbkującego
CM	—	moduł sterujący
K1	—	pierwszy komparator
K2	—	drugi komparator
I	—	pierwsze źródło prądowe
J	—	drugie źródło prądowe
U_H	—	napięcie pomocnicze
U_L	—	napięcie odniesienia
U_{DD}	—	napięcie zasilania
InT	—	wejście interwału czasu
In1	—	pierwsze wejście sterujące
In2	—	drugie wejście sterujące
B	—	wyjście słowa cyfrowego
OutR	—	wyjście zakończenia przetwarzania
H	—	szyna źródłowa
L	—	szyna docelowa
C_n	—	kondensator próbkujący
C_{n-1} , C_{n-2} , C_1 , C_0	—	kondensatory zespołu redystrybucji
C_{n-1}	—	kondensator o największej pojemności w zespole redystrybucji
C_0	—	kondensator o najmniejszej pojemności w zespole redystrybucji
C_{nA}	—	dodatkowy kondensator próbkujący
C_{n-1A}	—	dodatkowy kondensator o największej pojemności w zespole redystrybucji
C_i	—	kondensator źródłowy
C_k	—	kondensator docelowy
U_{n-1} , U_{n-2} , ..., U_1 , U_0	—	napięcie na kondensatorach zespołu redystrybucji
U_i	—	napięcie na kondensatorze źródłowym
U_k	—	napięcie na kondensatorze docelowym
b_{n-1} , b_{n-2} , b_i , ..., b_k , ..., b_1 , b_0	—	bity słowa cyfrowego
S_{Hn} , S_{Hn-1} , S_{Hn-2} , ..., S_{Hi} , ..., S_{Hk} , ..., S_{H1} , S_{H0}	—	łączniki źródłowe
S_{Ln} , S_{Ln-1} , S_{Ln-2} , ..., S_{Li} , ..., S_{Lk} , ..., S_{L1} , S_{L0}	—	łączniki docelowe
S_{Gn} , S_{Gn-1} , S_{Gn-2} , ..., S_{Gi} , ..., S_{Gk} , ..., S_{G1} , S_{G0}	—	przełączniki masy
S_{Tn} , S_{Tn-1} , S_{TnA} , S_{Tn-1A}	—	przełączniki górnych okładek
S_{Bn} , S_{Bn-1} , S_{BnA} , S_{Bn-1A}	—	przełączniki dolnych okładek
S_{Gall}	—	łącznik szyny docelowej
A_c	—	wyjście sterujące przełącznikami okładek
A_I	—	wyjście sterujące pierwszym źródłem prądowym
A_J	—	wyjście sterujące drugim źródłem prądowym
T_x	—	interwał czasu
T_{x+1}	—	następny interwał czasu
T_{x+2}	—	kolejny interwał czasu
I_n , I_{n-1} , I_{n-2} , ..., I_i , ..., I_k , ..., I_1 , I_0	—	wyjścia sterujące
D_n , D_{n-1} , D_{n-2} , ..., D_i , ..., D_k , ..., D_1 , D_0 , D_{all}	—	wyjścia sterujące

Rysunki

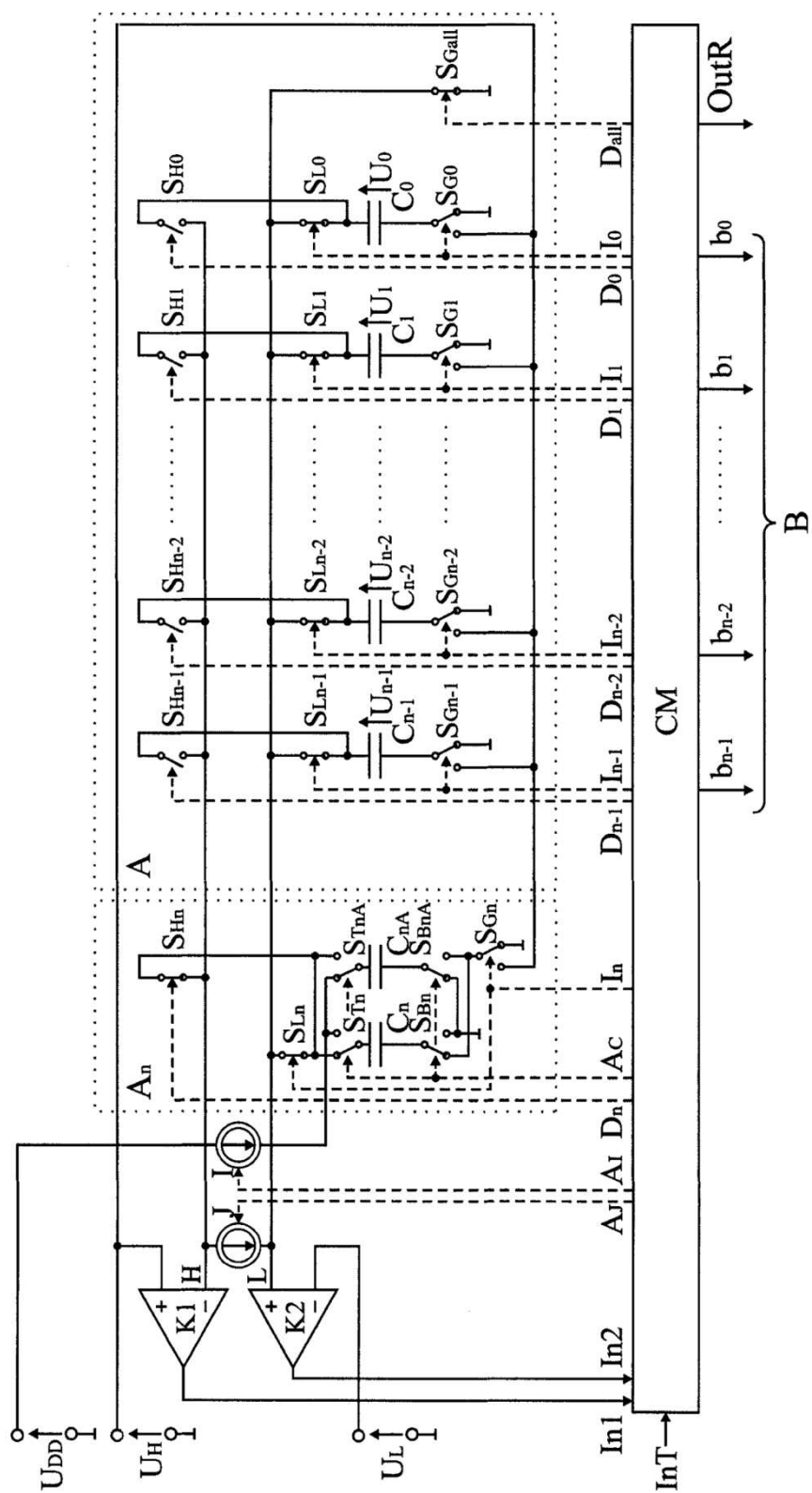
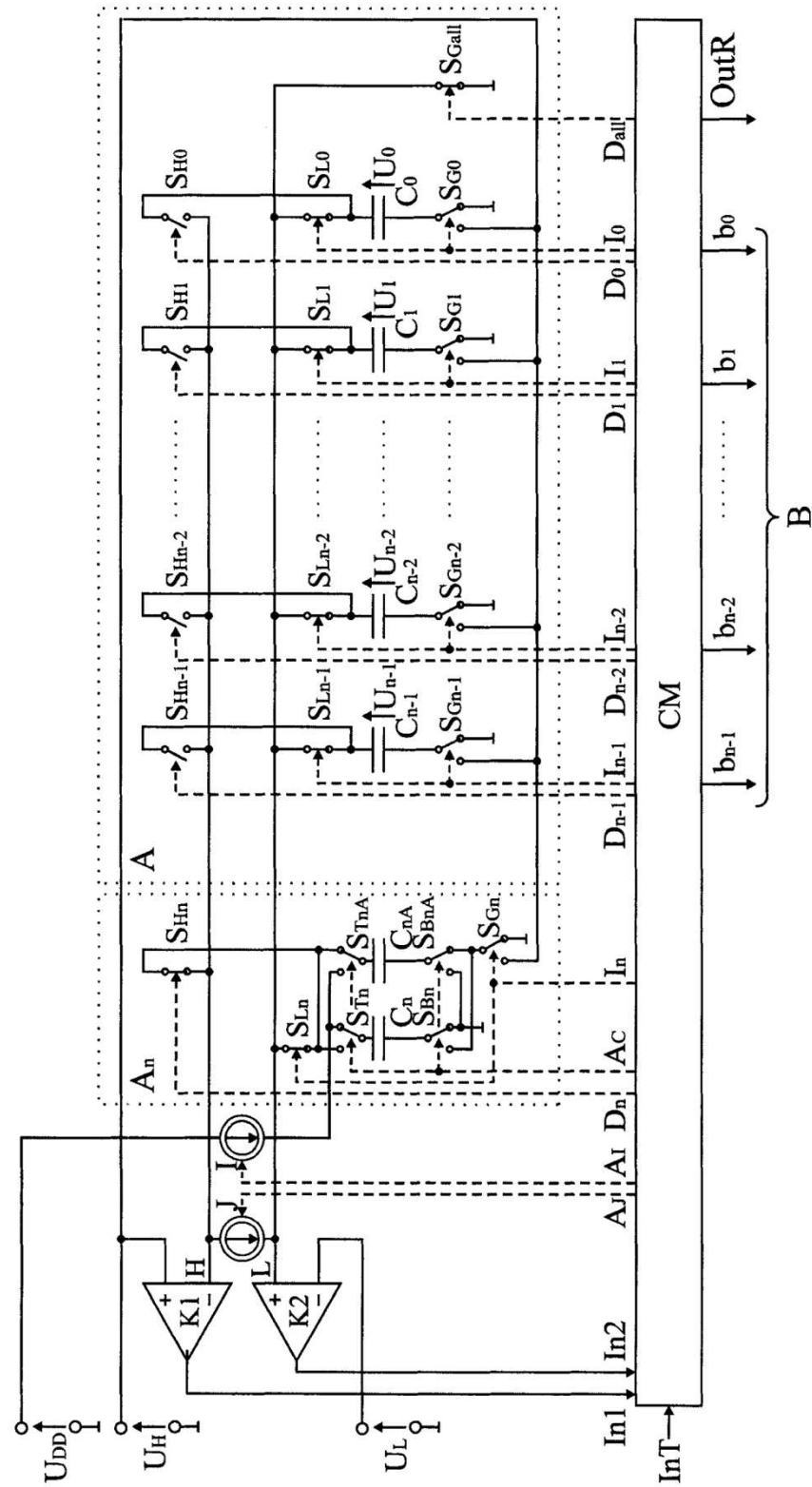


Fig. 1



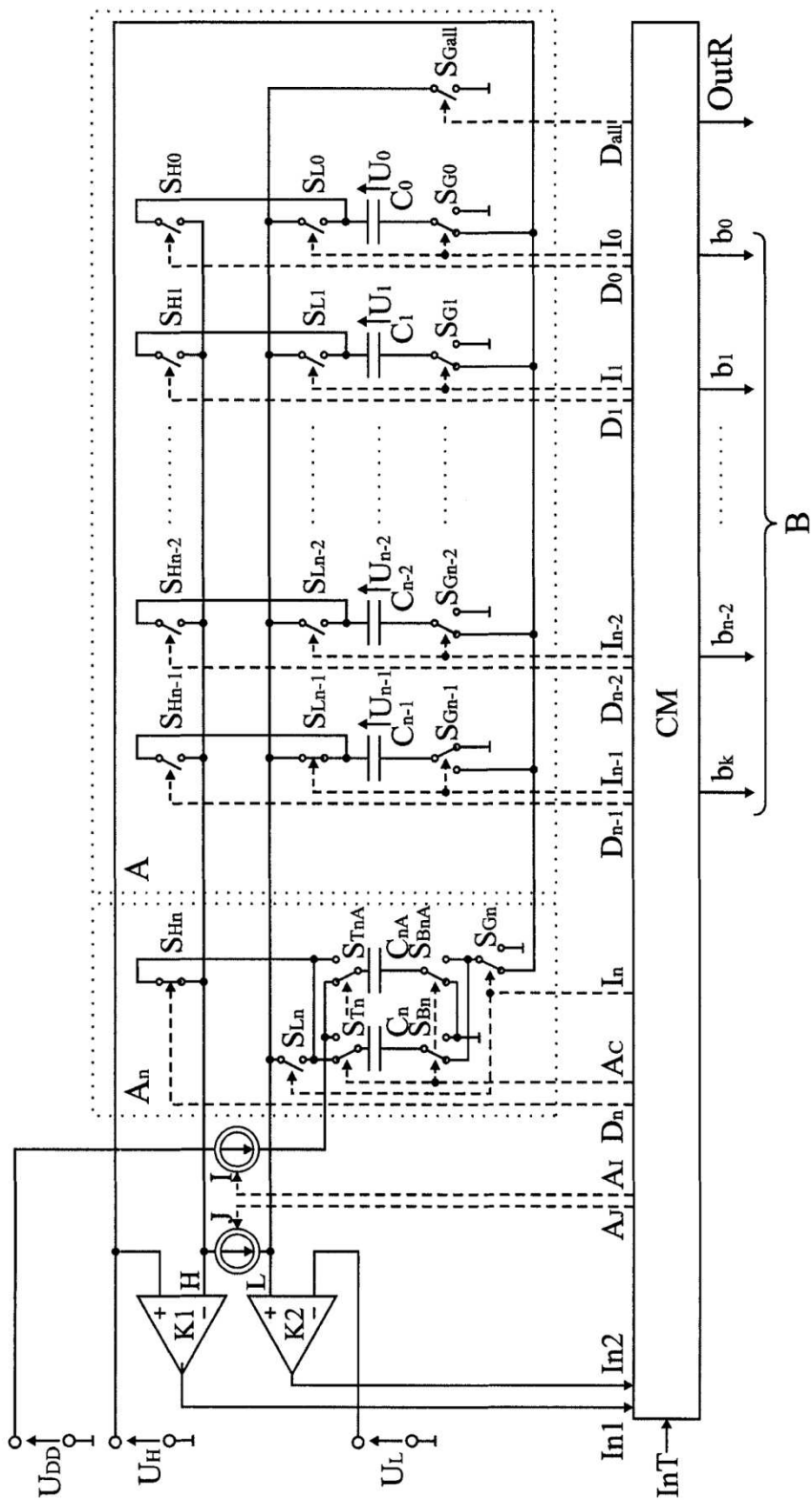


Fig. 3

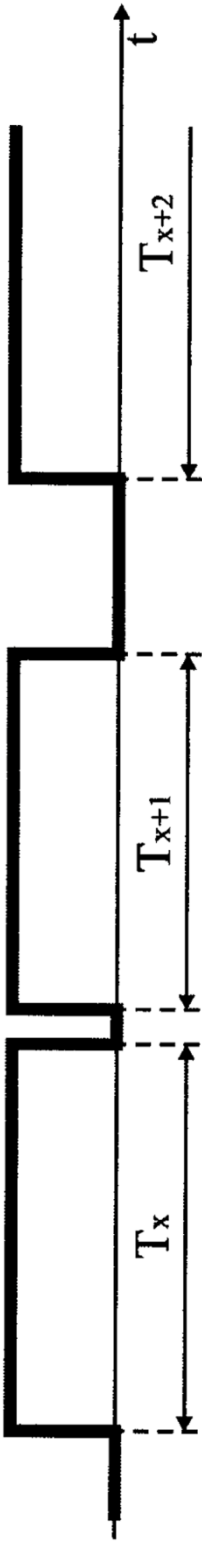


Fig. 4

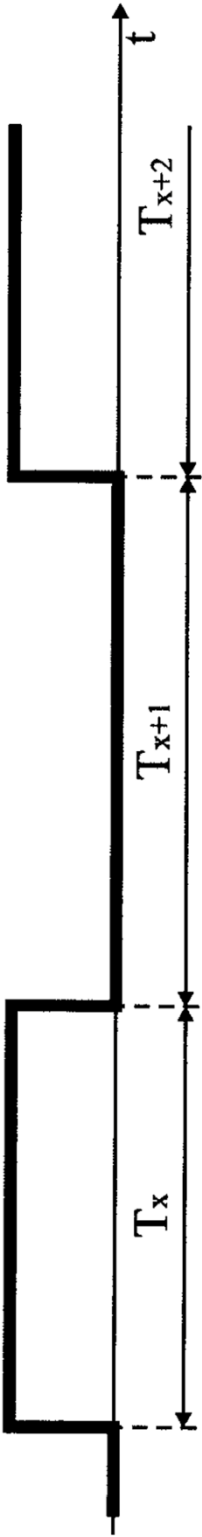


Fig. 5

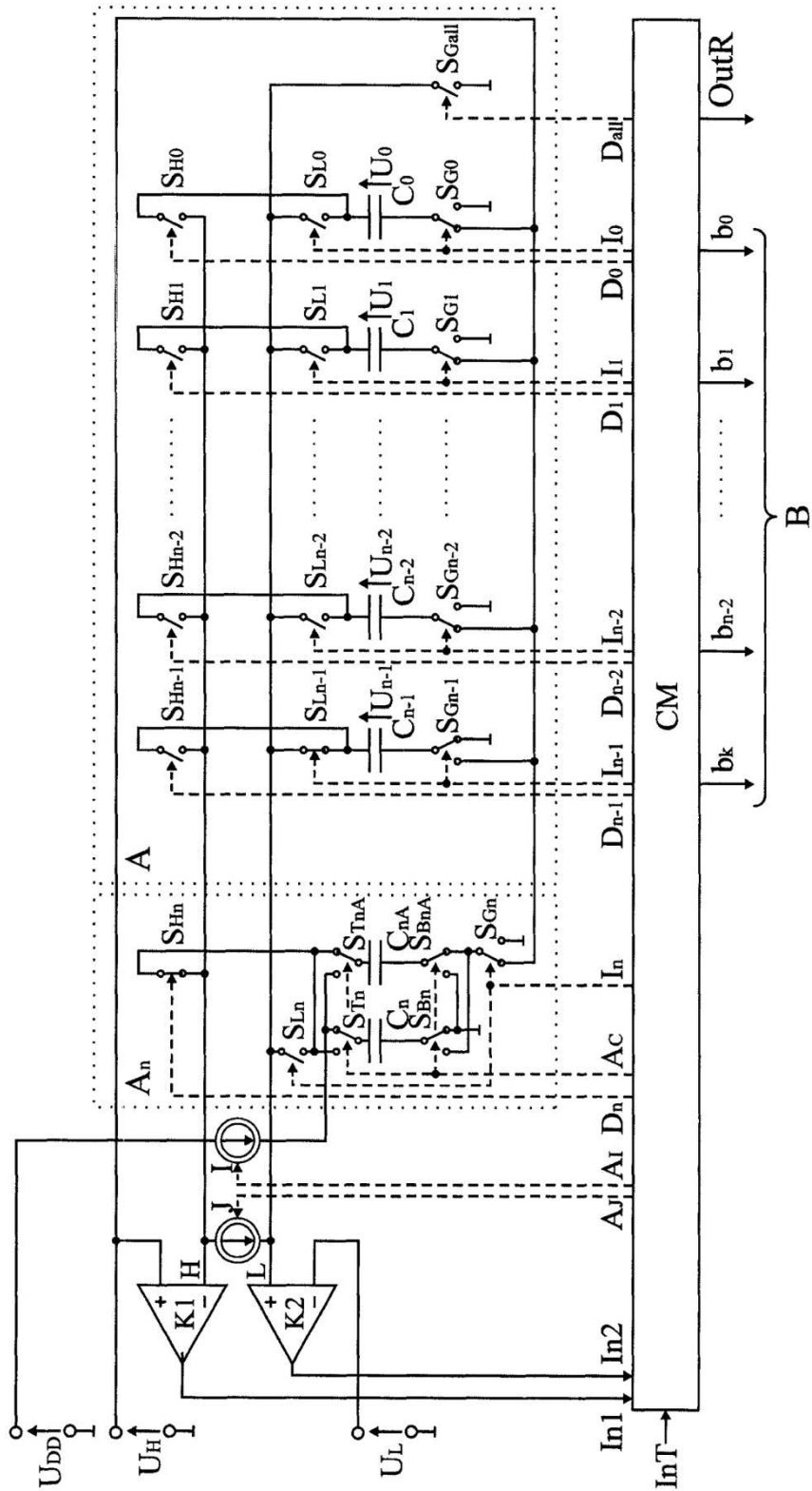


Fig. 7

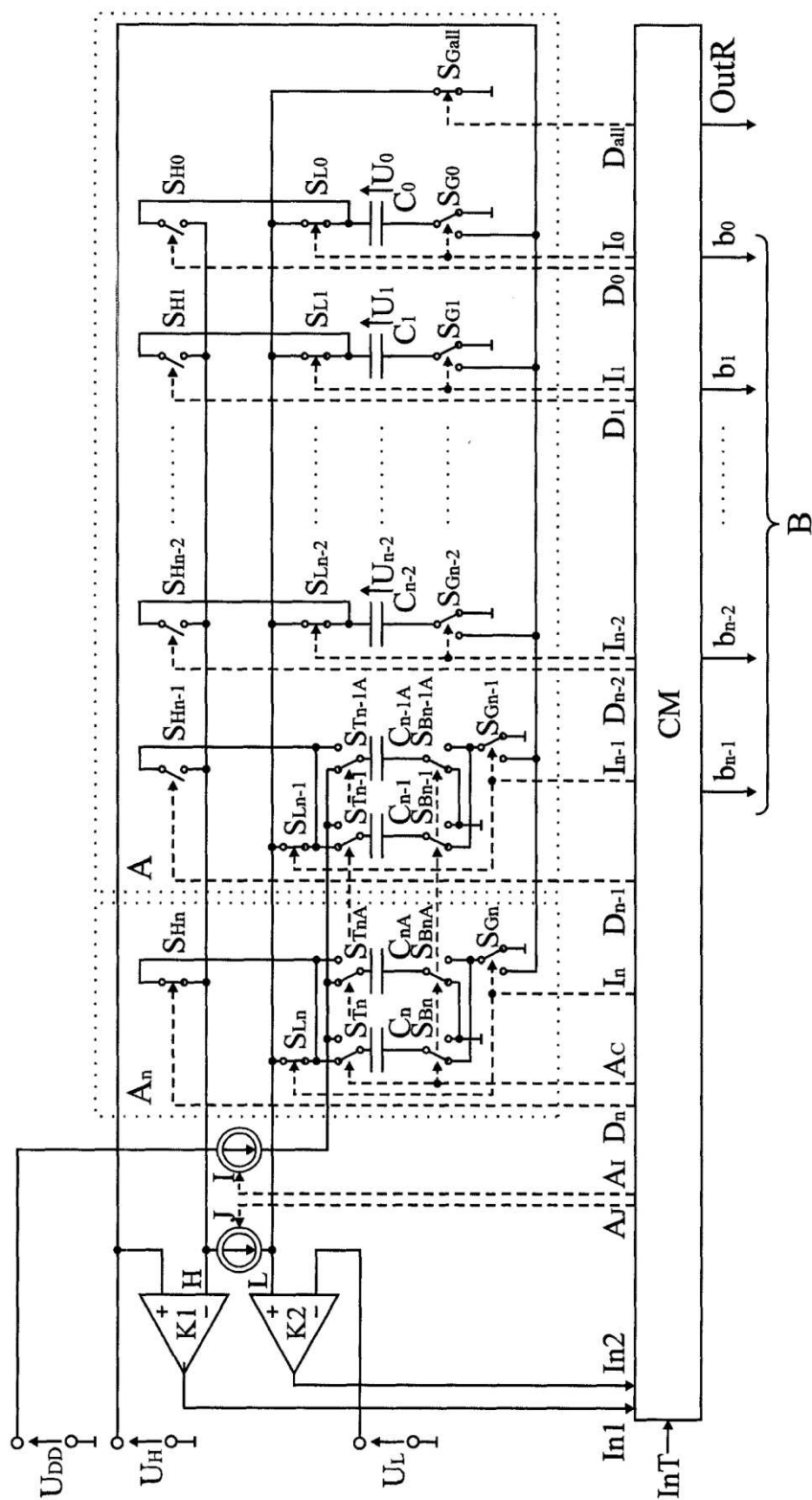


Fig. 8

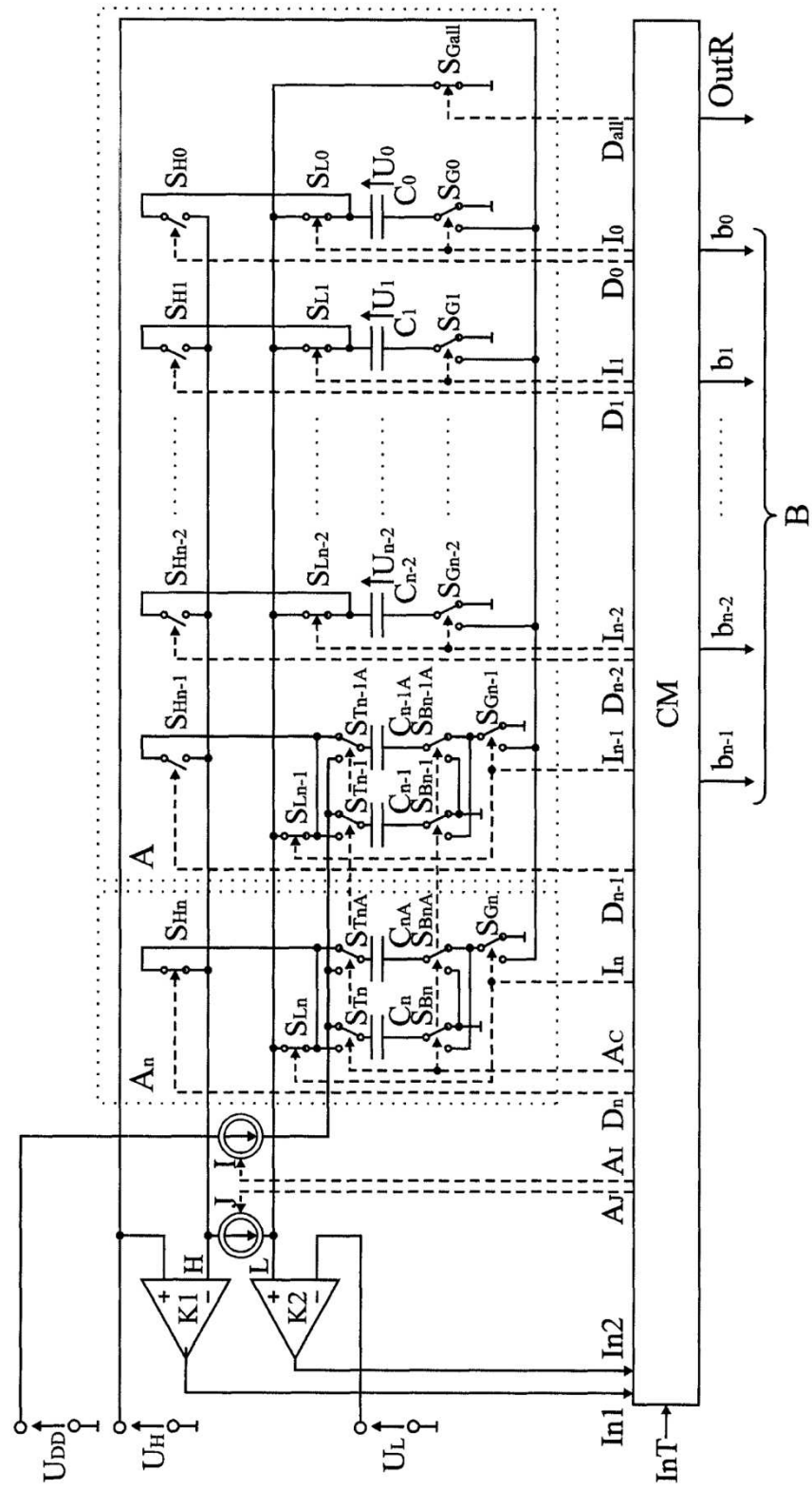


Fig. 9

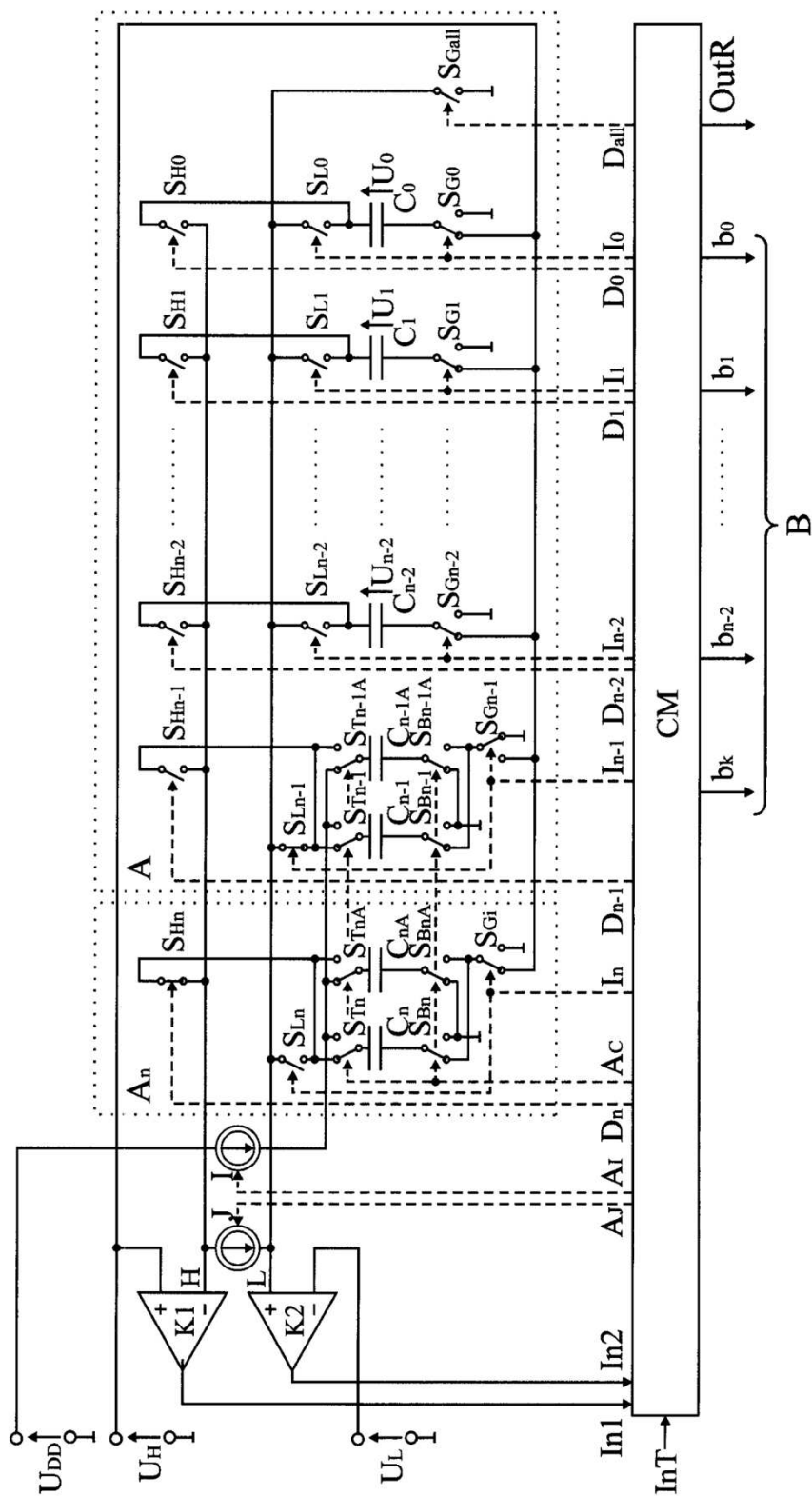


Fig. 10

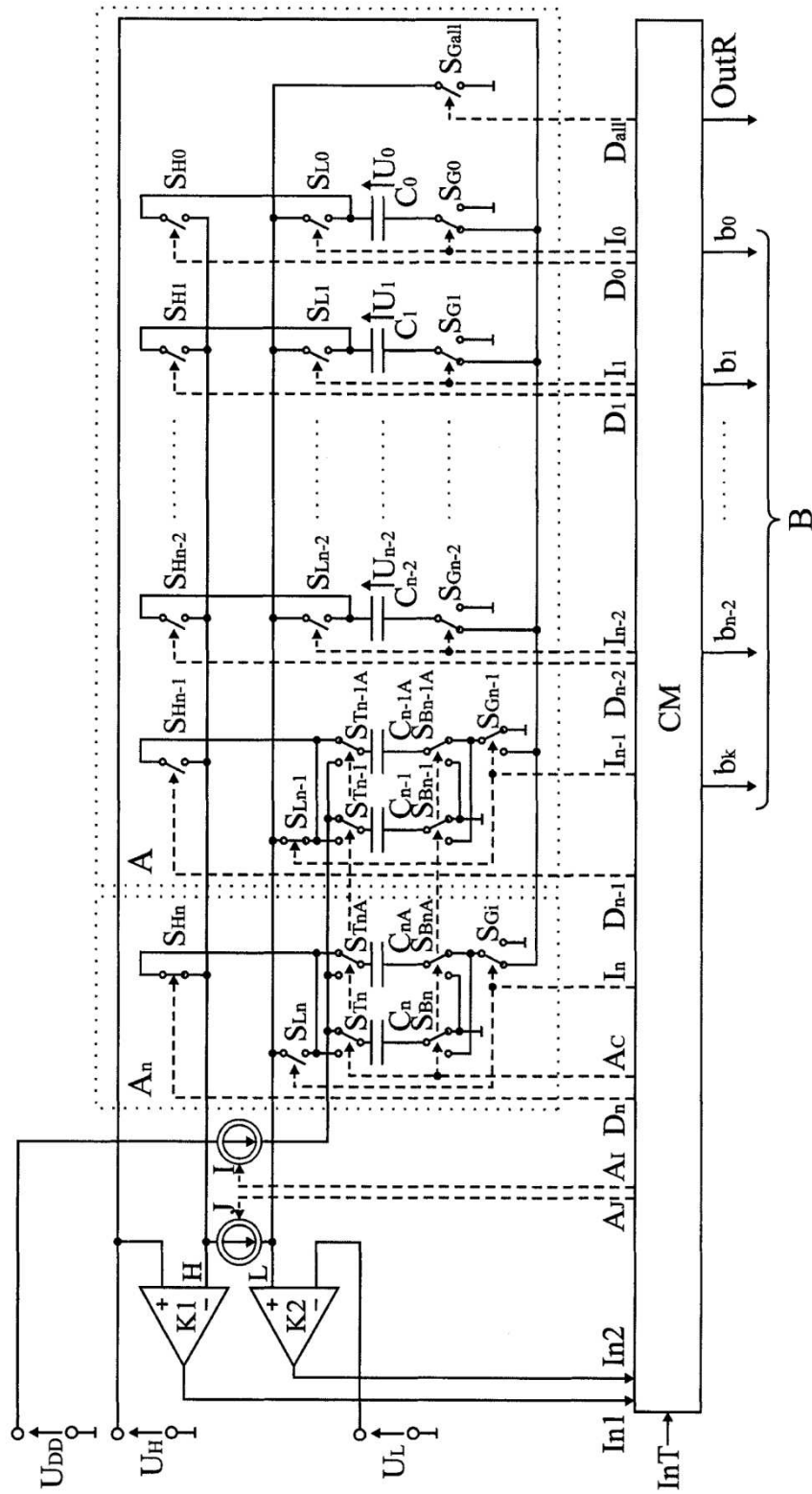


Fig. 11

