

(19)



URZĄD
PATENTOWY
RZECZYPOSPOLITEJ
POLSKIEJ

(10)

PL 247125 B1

(12)

Opis patentowy

(21) Numer zgłoszenia: **443808**

(22) Data zgłoszenia: **2023.02.16**

(43) Data publikacji o zgłoszeniu: **2024.08.19 BUP 34/2024**

(45) Data publikacji o udzieleniu patentu: **2025.05.19 WUP 20/2025**

(51)

MKP:

G04F 10/00 (2006.01)

H03M 1/38 (2006.01)

- | | |
|--|--|
| | <p>(73) Uprawniony z patentu:
AKADEMIA GÓRNICZO-HUTNICZA
IM. STANISŁAWA STASZICA W KRAKOWIE,
Kraków, PL</p> <p>(72) Twórca(-y) wynalazku:
DARIUSZ KOŚCIELNIK, Kraków, PL
KONRAD JURASZ, Świnna, PL
JAKUB SZYDUCZYŃSKI, Szczeczeszyn, PL</p> <p>(74) Pełnomocnik:
rzecz. pat. Patrycja Rosół, Kraków, PL</p> |
|--|--|

(54) Tytuł:

Sposób bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe

PL 247125 B1

Opis wynalazku

Przedmiotem wynalazku jest sposób bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe, znajdujący zastosowanie w systemach kontrolno-pomiarowych o wymaganej bardzo wysokiej sprawności energetycznej, takich jak aparatura biomedyczna oraz urządzenia mobilne.

Z publikacji: Konrad Jurasz, Dariusz Kościelnik, Jakub Szyduczyński, Marek Miśkiewicz, pt.: „Systematization and comparison of the binary successive approximation variants”, Sensors 2021, 21 (24), 8267, znane są trzy sposoby przetwarzania analogowo-cyfrowego metodą sukcesywnej aproksymacji (kompensacji wagowej). Jeden z tych algorytmów, nazwany monotoniczną sukcesywną aproksymacją MSA (z ang. Monotonie Successive Approximation) umożliwia bezpośrednio przetwarzanie niedekrementowalnych wielkości fizycznych i jednocześnie cechuje się dobrą sprawnością energetyczną. Realizacja algorytmu MSA nie wymaga nigdy cofania podjętych wcześniej decyzji, nawet gdy prowadzą one do tymczasowego przeszacowania wyniku pomiaru. Dzięki temu algorytm MSA umożliwia bezpośrednio przetwarzanie niedekrementowalnych z natury interwałów czasu. Charakterystyczną cechą algorytmu MSA jest także każdorazowe wykorzystywanie w procesie przetwarzania wszystkich binarnie skalowanych elementów referencyjnych i związany z tym stały wydatek energetyczny, niezależny od wielkości mierzonego obiektu.

Z opisu patentowego US 9612581 B1 znany jest sposób bezpośredniego przetwarzania interwału czasu na słowo cyfrowe. Sposób ten wykorzystuje algorytm MSA, odwzorowując przetwarzany interwał czasu w postaci różnicy długości odcinka czasu referencyjnego i odcinka czasu sygnałowego. Odcinek czasu referencyjnego odmierza się od chwili wykrycia początku przetwarzanego interwału czasu, zaś odcinek czasu sygnałowego odmierza się od chwili wykrycia końca przetwarzanego interwału czasu. Odmierzanie obu odcinków czasu kończy się w tym samym momencie, po wykorzystaniu wszystkich dostępnych elementów referencyjnych. Elementami tymi są skwantowane, binarnie skalowane interwały referencyjne o znanych długościach. Odcinek czasu referencyjnego zestawia się z interwałami referencyjnymi uzyskiwanymi jako czasy ładowania za pomocą źródła prądowego referencyjnego kondensatorów wybieranych z zestawu n binarnie skalowanych kondensatorów, przy czym n jest liczbą bitów wyjściowego słowa cyfrowego. Pojemność każdego kolejnego kondensatora w zestawie jest dwukrotnie mniejsza od pojemności kondensatora bezpośrednio go poprzedzającego. Z zestawu kondensatorów wybiera się zawsze ten kondensator, którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów. Napięcie narastające na ładowanym kondensatorze kontroluje się za pomocą komparatora referencyjnego. Proces ładowania kondensatora, a tym samym odmierzanie skwantowanego interwału referencyjnego kończy się w chwili, gdy napięcie narastające między okładkami ładowanego kondensatora osiągnie wartość napięcia progowego. Wówczas rozpoczyna się odmierzanie kolejnego, odpowiednio krótszego interwału referencyjnego. W tym celu z zestawu kondensatorów wybiera się kondensator, którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów.

W podobny sposób zestawia się odcinek czasu sygnałowego. Kondensatory wybierane z tego samego zestawu kondensatorów ładuje się za pomocą źródła prądowego sygnałowego, a narastające na nich napięcie kontroluje się za pomocą komparatora sygnałowego. Z zestawu kondensatorów wybiera się zawsze ten kondensator, którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów.

Każdemu kondensatorowi o danym indeksie, należącemu do wykorzystywanego zestawu kondensatorów jest przyporządkowany bit o takim samym indeksie, wchodzący w skład wyjściowego słowa cyfrowego.

Jeżeli podczas ładowania danego kondensatora za pomocą źródła prądowego referencyjnego nie rozpoczęto ładowania kolejnego kondensatora za pomocą źródła prądowego sygnałowego lub jeżeli podczas ładowania danego kondensatora za pomocą źródła prądowego sygnałowego rozpoczęto ładowanie kolejnego kondensatora za pomocą źródła prądowego referencyjnego, to bitowi przyporządkowanemu temu kondensatorowi przypisuje się wartość jeden. W pozostałych przypadkach bitowi temu przypisuje się wartość zero.

Niezależnie od długości przetwarzanego interwału czasu, końcowym efektem procesu przetwarzania jest naładowanie do napięcia progowego wszystkich kondensatorów wykorzystywanego zestawu kondensatorów. Ilość ładunku, a zatem i energii pobieranych w tym celu ze źródła zasilania jest więc zawsze taka sama. Stała i niezależna od długości przetwarzanego interwału czasu jest także suma-

ryczna długość odcinka czasu referencyjnego i odcinka czasu sygnałowego. Redundancja czasu przetwarzania ponad długość przetwarzanego interwału czasu jest natomiast tym większa, im krótszy jest przetwarzany interwał.

Celem wynalazku jest opracowanie sposobu bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe, przeznaczonego do stosowania w systemach kontrolno-pomiarowych o wysokiej sprawności energetycznej.

Zgodnie z wynalazkiem sposób bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe polega na wykrywaniu za pomocą modułu sterującego początku i końca przetwarzanego interwału czasu i odwzorowaniu przetwarzanego interwału czasu w postaci różnicy długości odcinka czasu referencyjnego i odcinka czasu sygnałowego. Odcinek czasu referencyjnego odmierza się od chwili wykrycia za pomocą modułu sterującego początku przetwarzanego interwału czasu. Odcinek czasu sygnałowego odmierza się natomiast od chwili wykrycia za pomocą modułu sterującego końca przetwarzanego interwału czasu. Odmierzanie obu odcinków czasu kończy się w tym samym momencie. Precyzyjne odmierzanie końcowego fragmentu odcinka czasu referencyjnego oraz całego odcinka czasu sygnałowego realizuje się metodą kompensacji wagowej, w znany sposób, taki że końcowy fragment odcinka czasu referencyjnego zestawia się ze skwantowanych, binarnie skalowanych interwałów referencyjnych o znanych długościach, które odmierza się przez ładowanie za pomocą źródła prądowego referencyjnego kondensatorów wybieranych za pomocą modułu sterującego z zestawu kondensatorów. Pojemność każdego kolejnego kondensatora w zestawie kondensatorów jest przy tym dwukrotnie mniejsza od pojemności kondensatora bezpośrednio go poprzedzającego. Z zestawu kondensatorów wybiera się za pomocą modułu sterującego zawsze ten kondensator, którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów. Wybrany kondensator ładuje się do chwili, gdy narastające na nim napięcie referencyjne, które porównuje się za pomocą komparatora referencyjnego z napięciem progowym, jest równe napięciu progowemu. Wówczas rozpoczyna się odmierzanie kolejnego interwału referencyjnego przez ładowanie za pomocą źródła prądowego referencyjnego kolejnego kondensatora. Kondensator ten wybiera się za pomocą modułu sterującego z zestawu kondensatorów.

Odcinek czasu sygnałowego zestawia się ze skwantowanych, binarnie skalowanych interwałów referencyjnych o znanych długościach, które odmierza się przez ładowanie za pomocą źródła prądowego sygnałowego kondensatorów wybieranych za pomocą modułu sterującego z zestawu kondensatorów. Z zestawu kondensatorów wybiera się za pomocą modułu sterującego zawsze ten kondensator, którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów. Wybrany kondensator ładuje się do chwili, gdy narastające na nim napięcie sygnałowe, które porównuje się za pomocą komparatora sygnałowego z napięciem progowym, jest równe napięciu progowemu. Wówczas rozpoczyna się odmierzanie kolejnego interwału referencyjnego przez ładowanie za pomocą źródła prądowego sygnałowego kolejnego kondensatora. Kondensator ten wybiera się za pomocą modułu sterującego z zestawu kondensatorów.

Równocześnie z zestawianiem odcinka czasu referencyjnego i zestawianiem odcinka czasu sygnałowego przypisuje się, w znany sposób, za pomocą modułu sterującego, właściwe wartości logiczne kolejnym spośród $n-r$ najmniej znaczących bitów wyjściowego słowa cyfrowego, gdzie n jest liczbą bitów wyjściowego słowa cyfrowego, zaś r jest stopniem linearyzacji. Bitowi o danym indeksie, należącemu do $n-r$ najmniej znaczących bitów wyjściowego słowa cyfrowego, przypisuje się za pomocą modułu sterującego wartość jeden, jeżeli podczas ładowania za pomocą źródła prądowego referencyjnego kondensatora o tym samym indeksie, należącego do zestawu kondensatorów, nie rozpoczęto ładowania kolejnego kondensatora za pomocą źródła prądowego sygnałowego. Bitowi o danym indeksie, należącemu do $n-r$ najmniej znaczących bitów wyjściowego słowa cyfrowego, przypisuje się za pomocą modułu sterującego wartość jeden również wówczas, gdy podczas ładowania za pomocą źródła prądowego sygnałowego kondensatora o takim samym indeksie, należącego do zestawu kondensatorów, rozpoczęto ładowanie kolejnego kondensatora za pomocą źródła prądowego referencyjnego. W pozostałych przypadkach bitowi takiemu przypisuje się za pomocą modułu sterującego wartość zero.

Wymienione czynności, związane z zestawianiem końcowego fragmentu odcinka czasu referencyjnego, zestawianiem całego odcinka czasu sygnałowego oraz przypisywaniem właściwych wartości logicznych $n-r$ najmniej znaczącym bitom wyjściowego słowa cyfrowego powtarza się aż do wykorzystania wszystkich kondensatorów z zestawu kondensatorów. Wówczas kończy się odmierzanie odcinka czasu referencyjnego i odcinka czasu sygnałowego.

Istotą rozwiązania jest to, że suma długości odcinka czasu referencyjnego i odcinka czasu sygnałowego jest w przybliżeniu proporcjonalna do długości przetwarzanego interwału czasu. Długość odcinka czasu referencyjnego natomiast wyznacza się w pierwszej kolejności, przez odmierzenie początkowego fragmentu odcinka czasu referencyjnego metodą liniową. Początkowy fragment odcinka czasu referencyjnego zestawia się z interwałami licznikowymi o identycznej długości, dwukrotnie większą od długości najdłuższego z binarnie skalowanych interwałów referencyjnych. Zestawiane interwały licznikowe zlicza się za pomocą r -bitowego licznika. Licznik ten zeruje się w pierwszej kolejności za pomocą modułu sterującego w chwili wykrycia za pomocą modułu sterującego początku przetwarzanego interwału czasu. Interwały licznikowe odmierza się natomiast przez ładowanie za pomocą źródła prądowego referencyjnego jednego kondensatora licznikowego, przy czym pojemność każdego kondensatora licznikowego jest taka sama. Kondensator licznikowy ładuje się zaś do chwili, gdy narastające na nim napięcie referencyjne, które porównuje się za pomocą komparatora referencyjnego z napięciem progowym, jest równe napięciu progowemu. Wówczas ten kondensator licznikowy rozładowuje się za pomocą przyporządkowanego mu przełącznika licznikowego, zwierając z sobą okładki kondensatora licznikowego.

Jeżeli podczas odmierzenia danego interwału licznikowego nie wykryje się za pomocą modułu sterującego końca przetwarzanego interwału czasu, to wówczas inkrementuje się za pomocą modułu sterującego zawartość licznika. Następnie sprawdza się za pomocą modułu sterującego nową zawartość licznika. Jeżeli którykolwiek z bitów tego licznika ma wartość zero, wówczas odmierza się kolejny interwał licznikowy przez ładowanie za pomocą źródła prądowego referencyjnego innego niż poprzednio kondensatora licznikowego. Czynności te powtarza się aż do zakończenia odmierzenia interwału licznikowego, podczas którego wykryje się za pomocą modułu sterującego koniec przetwarzanego interwału czasu, albo sprawdzi się za pomocą modułu sterującego, iż po inkrementacji licznika za pomocą modułu sterującego nowa zawartość licznika składa się wyłącznie z bitów o wartości jeden. Wówczas, w obu przypadkach, najbardziej znaczącym r bitem wyjściowego słowa cyfrowego przypisuje się za pomocą modułu sterującego wartości r bitów licznika. Jednocześnie rozpoczyna się odmierzenie, w znany sposób, końcowego fragmentu odcinka czasu referencyjnego.

Korzystne jest, gdy stopień linearyzacji r jest liczbą naturalną, większą od jeden i mniejszą od liczby n bitów wyjściowego słowa cyfrowego.

Korzystne jest, gdy wydajność źródła prądowego referencyjnego jest taka sama jak wydajność źródła prądowego sygnałowego i jednocześnie pojemność każdego kondensatora licznikowego jest dwukrotnie większa od pojemności kondensatora o największej pojemności w zestawie kondensatorów.

Korzystne jest także, gdy wydajność źródła prądowego referencyjnego jest regulowana. W czasie odmierzenia początkowego fragmentu odcinka czasu referencyjnego wydajność źródła prądowego referencyjnego jest utrzymywana za pomocą modułu sterującego na wartości k -krotnie mniejszej od wydajności źródła prądowego sygnałowego. Natomiast w czasie odmierzenia końcowego fragmentu odcinka czasu referencyjnego wydajność źródła prądowego referencyjnego jest utrzymywana za pomocą modułu sterującego na wartości równej wydajności źródła prądowego sygnałowego. Jednocześnie pojemność każdego kondensatora licznikowego jest k -krotnie mniejsza od podwojonej pojemności kondensatora o największej pojemności w zestawie kondensatorów.

Zaletą rozwiązania jest utrzymanie zdolności samotaktowania całego procesu przetwarzania, który nie wymaga stosowania energochłonnego źródła sygnału zegarowego. Wysoką sprawność energetyczną rozwiązanie zawdzięcza także zawieszaniu wykonywania wszelkich czynności w przerwach pomiędzy kolejnymi procesami przetwarzania.

Dzięki zastosowaniu wstępnego, zgrubnego przetwarzania metodą liniową i wielokrotnemu wykorzystywaniu tych samych kondensatorów licznikowych zmniejszono liczbę niezbędnych kondensatorów. Spośród kondensatorów wykorzystywanych w znanym rozwiązaniu, stosującym przetwarzanie wyłącznie metodą kompensacji wagowej, zbędne stały się te o największych pojemnościach, gromadzące największą ilość ładunku elektrycznego pobieranego ze źródła zasilania. Dla współczynnika linearyzacji $r = 2, 3, 4$ sumaryczna pojemność niezbędnych kondensatorów jest redukowana o, odpowiednio: 25%, 62,5%, 81,25%. Tym samym zmniejszana jest także ilość energii czerpanej ze źródła zasilania, związanej z napełnianiem kondensatorów. Dla współczynnika linearyzacji $r = 2, 3, 4$ jej uśredniona wartość maleje o, odpowiednio: 28,75 %, 32,81 %, 41,02 %.

Średni czas przetwarzania, dla współczynnika linearyzacji $r = 2, 3, 4$, maleje w stosunku do znanego rozwiązania o, odpowiednio: 12,5%, 21,87%, 27,34%. W jeszcze większym stopniu jest redukowana redundancja czasu przetwarzania ponad długość mierzonego interwału czasu. Dla współczynnika linearyzacji $r = 2, 3, 4$ jej średnia wartość maleje o, odpowiednio: 37,5 %, 65,62 %, 82,03 %.

Dalsze zwiększanie wartości współczynnika linearyzacji r poprawia wszystkie wymienione parametry, ale równocześnie prowadzi do zwiększenia liczby kroków przetwarzania i związanego z tym poboru energii dynamicznej. Średnia liczba przełączeń stanu układu, która w znanym rozwiązaniu wynosi zawsze $n+1$, dla współczynnika linearyzacji $r = 2, 3, 4$ rośnie o, odpowiednio: 0,25, 1,375, 4,438.

Zastosowanie źródła prądowego referencyjnego o zmniejszanej wydajności pozwala wielokrotnie zredukować pojemność obu kondensatorów licznikowych, która w przeciwnym przypadku stanowi ponad dwie trzecie sumarycznej pojemności wszystkich niezbędnych kondensatorów. Proporcjonalnie do tymczasowej redukcji wydajności źródła prądowego referencyjnego maleje ilość powierzchni i energii wymaganej przez kondensatory licznikowe.

Przedmiot wynalazku jest objaśniony w przykładach wykonania na rysunku, gdzie przedstawiono:

Fig. 1 – układ w stanie oczekiwania na pojawienie się początku przetwarzanego interwału czasu,

Fig. 2 – wzajemne relacje odcinka czasu referencyjnego RT i odcinka czasu sygnałowego ST dla przetwarzanego interwału czasu o długości nie wykorzystującej pełnej pojemności licznika C_t .

Fig. 3 – wzajemne relacje odcinka czasu referencyjnego RT i odcinka czasu sygnałowego ST dla przetwarzanego interwału czasu o długości wykorzystującej pełną pojemność 3-bitowego licznika C_t .

Zgodnie z wynalazkiem sposób bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe polega na wyznaczaniu różnicy długości odcinka czasu referencyjnego RT i odcinka czasu sygnałowego ST , odwzorowującej długość przetwarzanego interwału czasu T (Fig. 2 i Fig. 3). Odmierzanie odcinka czasu referencyjnego RT rozpoczyna się w chwili t_1 wykrycia za pomocą modułu sterującego CM początku przetwarzanego interwału czasu T (Fig. 2). Początkowy fragment SRT odcinka czasu referencyjnego RT odmierza się zgrubnie, metodą liniową, zaś końcowy fragment ERT odcinka czasu referencyjnego RT odmierza się precyzyjnie, metodą kompensacji wagowej. Odmierzanie odcinka czasu sygnałowego ST rozpoczyna się natomiast w chwili t_2 wykrycia za pomocą modułu sterującego CM końca przetwarzanego interwału czasu T (Fig. 2 i Fig. 3). Cały odcinek czasu sygnałowego ST odmierza się precyzyjnie, metodą kompensacji wagowej. Odmierzanie obu odcinków czasu kończy się w tym samym momencie t_3 (Fig. 2 i Fig. 3), po wyczerpaniu wspólnego zbioru $n-r$ skwantowanych, binarnie skalowanych interwałów referencyjnych o znanych długościach, służących do zestawiania końcowego fragmentu ERT odcinka czasu referencyjnego RT i całego odcinka czasu sygnałowego ST . Parametr r jest przy tym stopniem linearyzacji, którego najkorzystniejsze wartości wynoszą: 2, 3 lub 4, zaś n jest liczbą bitów $b_{n-1}, \dots, b_{n-r}, b_{n-r-1}, b_0$ wyjściowego słowa cyfrowego B , zawierającego r najbardziej znaczących bitów $b_{n-1}, \dots, b_{n-r}$ oraz $n-r$ najmniej znaczących bitów $b_{n-r-1}, \dots, b_0$. Słowu temu przypisuje się za pomocą modułu sterującego CM wartość różnicy długości odcinka czasu referencyjnego RT i odcinka czasu sygnałowego ST , zapisaną w postaci binarnej i reprezentującą ostateczny wynik procesu przetwarzania,

Suma długości odcinka czasu referencyjnego RT i odcinka czasu sygnałowego ST jest w przybliżeniu proporcjonalna do długości przetwarzanego interwału czasu T (Fig. 2 i Fig. 3). Długość odcinka czasu referencyjnego RT wyznacza się wpiery zgrubnie, przez odmierzanie początkowego fragmentu SRT odcinka czasu referencyjnego RT metodą liniową. Początkowy fragment SRT odcinka czasu referencyjnego RT zestawia się z interwałów licznikowych CI . Wszystkie interwały licznikowe CI mają identyczną długość (Fig. 2 i Fig. 3), która jest dwukrotnie większa od długości najdłuższego z binarnie skalowanych interwałów referencyjnych. Odmierzane interwały licznikowe CI zlicza się za pomocą r -bitowego licznika C_t , przy czym licznik C_t zeruje się wpiery za pomocą modułu sterującego CM w chwili t_1 wykrycia za pomocą modułu sterującego CM początku przetwarzanego interwału czasu T . Każdy interwał licznikowy CI odmierza się przez ładowanie za pomocą źródła prądowego referencyjnego I_R jednego z dwóch kondensatorów licznikowych C_{n-r} . W tym przykładowym rozwiązaniu wydajność źródła prądowego referencyjnego I_R jest równa wydajności źródła prądowego sygnałowego I_S , a pojemność każdego kondensatora licznikowego C_{n-r} jest taka sama i jednocześnie dwukrotnie większa od pojemności kondensatora C_{n-r-1} o największej pojemności w zestawie kondensatorów CS . Kondensator licznikowy C_{n-r} ładuje się do chwili, gdy narastające na nim napięcie referencyjne U_R , które porównuje się za pomocą komparatora referencyjnego K_R z napięciem progowym U_{TH} , jest równe napięciu progowemu U_{TH} . Wówczas naładowany kondensator licznikowy C_{n-r} rozładowuje się za pomocą przełącznika licznikowego S_{n-r} , zwierając z sobą okładki kondensatora licznikowego C_{n-r} .

Jeżeli podczas odmierzania danego interwału licznikowego CI nie wykryje się za pomocą modułu sterującego CM końca przetwarzanego interwału czasu T, wówczas inkrementuje się za pomocą modułu sterującego CM zawartość licznika Ct (Fig. 2 i Fig. 3). Następnie sprawdza się za pomocą modułu sterującego CM nową zawartość licznika Ct. Jeżeli którykolwiek z bitów tego licznika ma wartość zero, wówczas odmierza się kolejny interwał licznikowy CI przez ładowanie za pomocą źródła prądowego referencyjnego I_R innego niż poprzednio kondensatora licznikowego C_{n-r} (Fig. 2 i Fig. 3). Czynności te powtarza się aż do zakończenia odmierzania interwału licznikowego CI, podczas którego wykryje się za pomocą modułu sterującego CM koniec przetwarzanego interwału czasu T (Fig. 2), albo sprawdzi się za pomocą modułu sterującego CM, iż po inkrementacji licznika Ct za pomocą modułu sterującego CM nowa zawartość licznika Ct składa się wyłącznie z bitów o wartości jeden (Fig. 3).

W obu wymienionych przypadkach najbardziej znaczącym r bitom $b_{n-1}, \dots, b_{n-r}$ wyjściowego słowa cyfrowego B przypisuje się za pomocą modułu sterującego CM wartości r bitów licznika Ct. Jednocześnie rozpoczyna się odmierzanie, w znany sposób, końcowego fragmentu ERT odcinka czasu referencyjnego RT metodą kompensacji wagowej. Końcowy fragment ERT odcinka czasu referencyjnego RT zestawia się ze skwantowanych, binarnie skalowanych interwałów referencyjnych o znanych długościach. Interwały te odmierza się przez ładowanie za pomocą źródła prądowego referencyjnego I_R kondensatorów wybieranych za pomocą modułu sterującego CM z zestawu kondensatorów CS. Pojemność każdego kolejnego kondensatora $C_{n-r-1}, \dots, C_0$ w zestawie kondensatorów CS jest przy tym dwukrotnie mniejsza od pojemności kondensatora bezpośrednio go poprzedzającego. Z zestawu kondensatorów CS wybiera się za pomocą modułu sterującego CM zawsze ten kondensator, którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów $C_{n-r-1}, \dots, C_0$ tego zestawu. Wybrany kondensator ładuje się do chwili, gdy narastające na nim napięcie referencyjne U_R , które porównuje się za pomocą komparatora referencyjnego K_R z napięciem progowym U_{TH} , jest równe napięciu progowemu U_{TH} . Wówczas rozpoczyna się odmierzanie kolejnego interwału referencyjnego przez ładowanie za pomocą źródła prądowego referencyjnego I_R kolejnego kondensatora, który wybiera się za pomocą modułu sterującego CM z zestawu kondensatorów CS. Czynności te powtarza się aż do wyczerpania zbioru kondensatorów C_{n-r-1}, C_0 z zestawu kondensatorów CS.

Odcinek czasu sygnałowego ST zestawia się ze skwantowanych, binarnie skalowanych interwałów referencyjnych o znanych długościach, które odmierza się przez ładowanie za pomocą źródła prądowego sygnałowego I_S kondensatorów wybieranych za pomocą modułu sterującego CM z zestawu kondensatorów CS. Z zestawu kondensatorów CS wybiera się za pomocą modułu sterującego CM zawsze ten kondensator, którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów $C_{n-r-1}, \dots, C_0$ tego zestawu. Wybrany kondensator ładuje się do chwili, gdy narastające na nim napięcie sygnałowe U_S , które porównuje się za pomocą komparatora sygnałowego K_S z napięciem progowym U_{TH} , jest równe napięciu progowemu U_{TH} . Wówczas rozpoczyna się odmierzanie kolejnego interwału referencyjnego przez ładowanie za pomocą źródła prądowego sygnałowego I_S kolejnego kondensatora, który wybiera się za pomocą modułu sterującego CM z zestawu kondensatorów CS. Czynności te powtarza się aż do wyczerpania zbioru kondensatorów $C_{n-r-1}, \dots, C_0$ z zestawu kondensatorów CS.

Równocześnie z odmierzaniem końcowego fragmentu ERT odcinka czasu referencyjnego RT i odmierzaniem całego odcinka czasu sygnałowego ST przypisuje się, w znany sposób, za pomocą modułu sterującego, właściwe wartości logiczne kolejnym spośród $n-r$ najmniej znaczących bitów $b_{n-r-1}, \dots, b_0$ wyjściowego słowa cyfrowego B. Bitowi b_x o danym indeksie x , należącemu do $n-r$ najmniej znaczących bitów $b_{n-r-1}, \dots, b_0$ wyjściowego słowa cyfrowego B, przypisuje się za pomocą modułu sterującego CM wartość jeden, jeżeli podczas ładowania za pomocą źródła prądowego referencyjnego I_R kondensatora C_x o tym samym indeksie x , należącego do zestawu kondensatorów CS, nie rozpoczęto ładowania kolejnego kondensatora za pomocą źródła prądowego sygnałowego I_S . Bitowi b_y o indeksie y przypisuje się za pomocą modułu sterującego CM wartość jeden, jeżeli podczas ładowania za pomocą źródła prądowego sygnałowego I_S kondensatora C_y o tym samym indeksie y , należącego do zestawu kondensatorów CS, rozpoczęto ładowanie kolejnego kondensatora za pomocą źródła prądowego referencyjnego I_R . W pozostałych przypadkach bitowi należącemu do $n-r$ najmniej znaczących bitów $b_{n-r-1}, \dots, b_0$ wyjściowego słowa cyfrowego B przypisuje się za pomocą modułu sterującego CM wartość zero.

Wymienione czynności, związane z odmierzaniem końcowego fragmentu ERT odcinka czasu referencyjnego RT, odmierzaniem całego odcinka czasu sygnałowego ST oraz przypisywaniem właściwych wartości logicznych $n-r$ najmniej znaczącym bitom $b_{n-r-1}, \dots, b_0$ wyjściowego słowa cyfrowego B

powtarza się aż chwili, gdy podczas ładowania kondensatora C_0 o najmniejszej pojemności w zestawie CS wykryje się za pomocą modułu sterującego CM, że albo napięcie referencyjne U_R narastające na kondensatorze ładowanym za pomocą źródła prądowego referencyjnego I_R i kontrolowane za pomocą komparatora referencyjnego K_R , albo napięcie sygnałowe U_S narastające na kondensatorze ładowanym za pomocą źródła prądowego sygnałowego I_S i kontrolowane za pomocą komparatora sygnałowego K_S jest równe napięciu progowemu U_{TH} .

Inny sposób bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe, zgodnie z wynalazkiem, różni się tym od poprzedniego, że w czasie odmierzenia początkowego fragmentu SRT odcinka czasu referencyjnego RT wydajność źródła prądowego referencyjnego I_R jest utrzymywana za pomocą modułu sterującego CM na wartości pięciokrotnie mniejszej od wydajności źródła prądowego sygnałowego I_S . W czasie odmierzenia końcowego fragmentu ERT odcinka czasu referencyjnego RT wydajność źródła prądowego referencyjnego I_R jest natomiast utrzymywana za pomocą modułu sterującego CM na wartości równej wydajności źródła prądowego sygnałowego I_S . Ponadto pojemność każdego kondensatora licznikowego C_{n-r} jest taka sama i jednocześnie pięciokrotnie mniejsza od podwojonej pojemności kondensatora C_{n-r-1} o największej pojemności w zestawie kondensatorów CS.

Układ do bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe, w pierwszym przykładowym rozwiązaniu (Fig. 1), zawiera moduł sterujący CM wyposażony w wejście przetwarzanego interwału czasu In , wyjście zakończenia przetwarzania RDY , wejście referencyjne In_R oraz wejście sygnałowe In_S . Moduł sterujący CM jest ponadto wyposażony w wyjście referencyjne P_R , wyjście sygnałowe P_S , wyjścia sterujące $P_{n-r-1}, \dots, P_0$, dwa wyjścia licznikowe P_{n-r} oraz wyjście n -bitowego wyjściowego słowa cyfrowego B . Wyjściowe słowo cyfrowe B zawiera r najbardziej znaczących bitów $b_{n-1}, \dots, b_r$ oraz $n-r$ najmniej znaczących bitów $b_{n-r-1}, \dots, b_0$. Parametr r jest przy tym stopniem linearyzacji, a jego najkorzystniejsze wartości wynoszą: 2, 3 lub 4. Moduł sterujący CM zawiera także r -bitowy licznik Ct , którego wyjścia są połączone z wyjściami r najbardziej znaczących bitów $b_{n-1}, \dots, b_{n-r}$ wyjściowego słowa cyfrowego B .

Wejście referencyjne In_R modułu sterującego CM jest połączone z wyjściem komparatora referencyjnego K_R , a wejście sygnałowe In_S modułu sterującego CM jest połączone z wyjściem komparatora sygnałowego K_S . Wyjście referencyjne P_R modułu sterującego CM jest połączone z wejściem sterującym źródła prądowego referencyjnego I_R , a wyjście sygnałowe P_S modułu sterującego CM jest połączone z wejściem sterującym źródła prądowego sygnałowego I_S . W tym przykładowym układzie wydajność źródła prądowego referencyjnego I_R jest taka sama jak wydajność źródła prądowego sygnałowego I_S . Wyjścia sterujące $P_{n-r-1}, \dots, P_0$ modułu sterującego CM są połączone, odpowiednio, z wejściami sterującymi przełączników zestawu $S_{n-r-1}, \dots, S_0$. Każde wyjście licznikowe P_{n-r} modułu sterującego CM jest połączone z wejściem sterującym innego z dwóch przełączników licznikowych S_{n-r} .

Wejście nieodwracające komparatora referencyjnego K_R jest połączone z szyną referencyjną R oraz wyjściem źródła prądowego referencyjnego I_R , którego wejście jest połączone z napięciem zasilania U_{DD} . Wejście odwracające komparatora referencyjnego K_R jest połączone z napięciem progowym U_{TH} . Wejście nieodwracające komparatora sygnałowego K_S jest połączone z szyną sygnałową S oraz wyjściem źródła prądowego sygnałowego I_S , którego wejście jest połączone z napięciem zasilania U_{DD} . Wejście odwracające komparatora sygnałowego K_S jest połączone z napięciem progowym U_{TH} oraz wejściem odwracającym komparatora referencyjnego K_R .

Zestaw kondensatorów CS zawiera $n-r$ kondensatorów $C_{n-r-1}, \dots, C_0$, a pojemność każdego kolejnego kondensatora $C_{n-r-1}, \dots, C_0$ zestawu kondensatorów CS jest dwukrotnie mniejsza od pojemności kondensatora bezpośrednio go poprzedzającego. Dolna okładka każdego kondensatora $C_{n-r-1}, \dots, C_0$ zestawu kondensatorów CS jest połączona z masą układu. W tym przykładowym układzie pojemność każdego z dwóch kondensatorów licznikowych C_{n-r} jest taka sama i jednocześnie dwukrotnie większa od pojemności kondensatora C_{n-r-1} o największej pojemności w zestawie kondensatorów CS. Dolna okładka każdego z dwóch kondensatorów licznikowych C_{n-r} jest połączona z masą układu.

Górna okładka każdego kondensatora $C_{n-r-1}, \dots, C_0$ zestawu kondensatorów CS jest połączona, odpowiednio, ze stykiem ruchomym przełącznika zestawu $S_{n-r-1}, \dots, S_0$. Pierwszy styk nieruchomy każdego przełącznika zestawu $S_{n-r-1}, \dots, S_0$ jest połączony z szyną referencyjną R . Drugi styk nieruchomy każdego przełącznika zestawu $S_{n-r-1}, \dots, S_0$ jest połączony z masą układu. Trzeci styk nieruchomy każdego przełącznika zestawu $S_{n-r-1}, \dots, S_0$ jest natomiast połączony z szyną sygnałową S .

Górna okładka każdego z dwóch kondensatorów licznikowych C_{n-r} jest połączona ze stykiem ruchomym innego z dwóch przełączników licznikowych S_{n-r} . Pierwszy styk nieruchomy każdego przełącznika licznikowego S_{n-r} jest połączony z szyną referencyjną R. Drugi styk nieruchomy każdego przełącznika licznikowego S_{n-r} jest natomiast połączony z masą układu.

Układ do bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe, w drugim przykładowym rozwiązaniu, różni się tym od pierwszego, że wydajność źródła prądowego referencyjnego I_R jest regulowana i utrzymywana za pomocą modułu sterującego CM na wartości pięciokrotnie mniejszej od wydajności źródła prądowego sygnałowego I_S lub równej wydajności źródła prądowego sygnałowego I_S . Ponadto pojemność każdego kondensatora licznikowego C_{n-r} jest taka sama i jednocześnie pięciokrotnie mniejsza od podwojonej pojemności kondensatora C_{n-r-1} o największej pojemności w zestawie kondensatorów CS.

W poniższym opisie przebiegu przetwarzania przyjęto następujące oznaczenia:

- x jest indeksem kondensatora C_x z zestawu kondensatorów CS, ładowanego aktualnie za pomocą źródła prądowego referencyjnego I_R ,
- y jest indeksem kondensatora C_y z zestawu kondensatorów CS, ładowanego aktualnie za pomocą źródła prądowego sygnałowego I_S ,
- z jest indeksem kondensatora C_z , którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów zestawu kondensatorów CS.

Bezzegarowe i bezpośrednie przetwarzanie interwału czasu na słowo cyfrowe, realizowane według wynalazku w pierwszym przykładowym układzie (Fig. 1), przebiega następująco. Przed rozpoczęciem procesu przetwarzania moduł sterujący CM przy pomocy sygnału z wyjścia referencyjnego P_R powoduje wyłączenie źródła prądowego referencyjnego I_R , zaś przy pomocy sygnału z wyjścia sygnałowego P_S moduł sterujący CM powoduje wyłączenie źródła prądowego sygnałowego I_S . Przy pomocy sygnałów z wyjść sterujących $P_{n-r-1}, \dots, P_0$ moduł sterujący CM powoduje przełączenie przełączników zestawu $S_{n-r-1}, \dots, S_0$ w drugie położenie i tym samym połączenie górnych okładek wszystkich kondensatorów $C_{n-r-1}, \dots, C_0$ zestawu kondensatorów CS z masą układu, wymuszając całkowite rozładowanie wszystkich kondensatorów $C_{n-r-1}, \dots, C_0$ zestawu kondensatorów CS. Przy pomocy sygnałów z obu wyjść licznikowych P_{n-r} moduł sterujący CM powoduje przełączenie obu przełączników licznikowych S_{n-r} w drugie położenie i tym samym połączenie górnych okładek obu kondensatorów licznikowych C_{n-r} z masą układu, wymuszając całkowite rozładowanie obu kondensatorów licznikowych C_{n-r} . Następnie moduł sterujący CM rozpoczyna kontrolowanie stanu wejścia przetwarzanego interwału czasu I_n w celu wykrycia początku przetwarzanego interwału czasu T.

W chwili t_1 wykrycia przez moduł sterującego CM początku przetwarzanego interwału czasu T, sygnalizowanego na wejściu przetwarzanego interwału czasu I_n , moduł sterujący CM rozpoczyna kontrolowanie stanu wejścia przetwarzanego interwału czasu I_n w celu wykrycia końca przetwarzanego interwału czasu T. Równocześnie moduł sterujący CM wprowadza wyjście zakończenia przetwarzania RDY w stan nieaktywny oraz zeruje stan licznika Ct. Następnie moduł sterujący CM rozpoczyna odmierzenie zgrubne początkowego fragmentu SRT odcinka czasu referencyjnego R_T metodą liniową (Fig. 2). Moduł sterujący CM wybiera wpięć dowolny z dwóch kondensatorów licznikowych C_{n-r} oraz przełącznik licznikowy S_{n-r} i wyjście licznikowe P_{n-r} przypisane wybranemu kondensatorowi licznikowemu C_{n-r} . Następnie moduł sterujący CM powoduje przy pomocy sygnału z wybranego wyjścia licznikowego P_{n-r} przełączenie wybranego przełącznika licznikowego S_{n-r} w pierwsze położenie i tym samym połączenie górnej okładki wybranego kondensatora licznikowego C_{n-r} z wyjściem źródła prądowego referencyjnego I_R . Jednocześnie, przy pomocy sygnału z wyjścia referencyjnego P_R , moduł sterujący CM powoduje włączenie źródła prądowego referencyjnego I_R . Moduł sterujący CM rozpoczyna odmierzenie interwału licznikowego C_I (Fig. 2). Napięcie referencyjne U_R narastające na wybranym kondensatorze licznikowym C_{n-r} , ładowanym za pomocą źródła prądowego referencyjnego I_R , porównuje się za pomocą komparatora referencyjnego K_R z napięciem progowym U_{TH} . Gdy napięcie referencyjne U_R osiągnie wielkość napięcia progowego U_{TH} , wówczas, na podstawie sygnału wyjściowego komparatora referencyjnego K_R , moduł sterujący CM kończy odmierzenie interwału licznikowego C_I . W tym celu moduł sterujący CM powoduje przy pomocy sygnału z wybranego wyjścia licznikowego P_{n-r} przełączenie wybranego przełącznika licznikowego S_{n-r} w drugie położenie i tym samym odłączenie górnej okładki wybranego kondensatora licznikowego C_{n-r} od wyjścia źródła prądowego referencyjnego I_R oraz jednoczesne połączenie górnej okładki wybranego kondensatora licznikowego C_{n-r} z masą układu, wymuszając całkowite rozładowanie tego kondensatora.

Jeżeli podczas odmierzania interwału licznikowego CI moduł sterujący nie wykryje końca przetwarzanego interwału czasu T, wówczas moduł sterujący CM inkrementuje zawartość licznika Ct (Fig. 2 i Fig. 3). Następnie moduł sterujący CM sprawdza nową zawartość licznika Ct. Jeżeli którykolwiek z bitów tego licznika ma wartość zero, co oznacza, iż stan licznika nie osiągnął swej maksymalnej wartości, wówczas moduł sterujący CM rozpoczyna odmierzanie kolejnego interwału licznikowego CI (Fig. 2). W tym celu moduł sterujący CM wybiera inny kondensatorów licznikowych C_{n-r} niż ładowany bezpośrednio wcześniej oraz przełącznik licznikowy S_{n-r} i wyjście licznikowe P_{n-r} przypisane temu kondensatorowi licznikowemu C_{n-r} . Przy pomocy sygnału z wybranego wyjścia licznikowego P_{n-r} moduł sterujący CM powoduje przełączenie wybranego przełącznika licznikowego S_{n-r} w pierwsze położenie, a zatem połączenie górnej okładki wybranego kondensatora licznikowego C_{n-r} z wyjściem źródła prądowego referencyjnego I_R i tym samym rozpoczęcie ładowania wybranego kondensatora licznikowego C_{n-r} . Moduł sterujący CM powtarza czynności związane z odmierzaniem interwałów licznikowych CI aż do zakończenia odmierzania interwału licznikowego CI, podczas którego moduł sterujący CM wykryje koniec przetwarzanego interwału czasu T (Fig. 2), albo gdy po inkrementacji zawartości licznika Ct moduł sterujący CM sprawdzi, iż nowa zawartość licznika Ct składa się wyłącznie z bitów o wartości jeden (Fig. 3).

W obu wymienionych przypadkach najbardziej znaczącym r bitom $b_{n-1}, \dots, b_{n-r}$ wyjściowego słowa cyfrowego B moduł sterujący CM przypisuje ostateczną wartość za pomocą wyjść r-bitowego licznika Ct. Jednocześnie moduł sterujący rozpoczyna precyzyjne odmierzanie końcowego fragmentu ERT odcinka czasu referencyjnego RT metodą kompensacji wagowej (Fig. 2 i Fig. 3). Moduł sterujący CM wybiera w pierwszym z zestawu kondensatorów CS kondensator C_z , którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów $C_{n-r-1}, \dots, C_0$ zestawu kondensatorów CS. Następnie moduł sterujący CM powoduje przy pomocy sygnału z wyjścia sterującego P_z przełączenie przełącznika zestawu S_z w pierwsze położenie i tym samym połączenie górnej okładki kondensatora C_z z wyjściem źródła prądowego referencyjnego I_R . Moduł sterujący CM rozpoczyna odmierzanie interwału referencyjnego. Napięcie referencyjne U_R narastające na kondensatorze C_x , ładowanym za pomocą źródła prądowego referencyjnego I_R , porównuje się za pomocą komparatora referencyjnego K_R z napięciem progowym U_{TH} . Gdy napięcie referencyjne U_R osiągnie wielkość napięcia progowego U_{TH} , wówczas, na podstawie sygnału wyjściowego komparatora referencyjnego K_R , moduł sterujący CM kończy odmierzanie interwału referencyjnego. W tym celu moduł sterujący CM powoduje przy pomocy sygnału z wyjścia sterującego P_x przełączenie przełącznika zestawu S_x w drugie położenie i tym samym odłączenie górnej okładki kondensatora C_x od wyjścia źródła prądowego referencyjnego I_R oraz jednocześnie połączenie górnej okładki kondensatora C_x z masą układu, wymuszając całkowite rozładowanie tego kondensatora. Równocześnie moduł sterujący CM przypisuje bitowi b_x wartość jeden, jeżeli podczas ładowania za pomocą źródła prądowego referencyjnego I_R kondensatora C_x nie rozpoczęto ładowania kolejnego kondensatora za pomocą źródła prądowego sygnałowego I_S . W przeciwnym przypadku moduł sterujący CM przypisuje bitowi b_x wartość zero. Jednocześnie moduł sterujący CM rozpoczyna odmierzanie kolejnego interwału referencyjnego. W tym celu moduł sterujący CM wybiera z zestawu kondensatorów CS kondensator C_z , którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów C_{n-r-1}, C_0 zestawu kondensatorów CS. Następnie moduł sterujący CM powoduje przy pomocy sygnału z wyjścia sterującego P_z przełączenie przełącznika zestawu S_z w pierwsze położenie, a zatem połączenie górnej okładki kondensatora C_z z wyjściem źródła prądowego referencyjnego I_R i tym samym rozpoczęcie ładowania tego kondensatora. Czynności te powtarza się aż do momentu t_3 zakończenia odmierzania odcinka czasu referencyjnego RT.

W chwili t_2 wykrycia końca przetwarzanego interwału czasu T przez moduł sterujący CM, sygnalizowanego na wejściu przetwarzanego interwału czasu I_n , moduł sterujący CM rozpoczyna precyzyjne odmierzanie odcinka czasu sygnałowego ST metodą kompensacji wagowej (Fig. 2 i Fig. 3). Moduł sterujący CM wybiera w pierwszym z zestawu kondensatorów CS kondensator C_z , którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów $C_{n-r-1}, \dots, C_0$ zestawu kondensatorów CS. Następnie moduł sterujący CM powoduje przy pomocy sygnału z wyjścia sterującego P_z przełączenie przełącznika zestawu S_z w trzecie położenie i tym samym połączenie górnej okładki kondensatora C_z z wyjściem źródła prądowego sygnałowego I_S . Jednocześnie, przy pomocy sygnału z wyjścia sygnałowego P_S , moduł sterujący CM powoduje włączenie źródła prądowego sygnałowego I_S . Moduł sterujący CM rozpoczyna odmierzanie interwału referencyjnego. Napięcie sygnałowe U_S narastające na kondensatorze C_y , ładowanym za pomocą źródła prądowego sygnałowego I_S , porównuje się za pomocą komparatora sygnałowego K_S z napięciem progowym U_{TH} . Gdy napięcie sygnałowe U_S osiągnie wielkość napięcia progowego U_{TH} , wówczas, na podstawie sygnału wyjściowego komparatora sygnałowego K_S ,

moduł sterujący CM kończy odmierzenie interwału referencyjnego. W tym celu moduł sterujący CM powoduje przy pomocy sygnału z wyjścia sterującego P_y przełączenie przełącznika zestawu S_y w drugie położenie i tym samym odłączenie górnej okładki kondensatora C_y od wyjścia źródła prądowego sygnałowego I_s oraz jednocześnie połączenie górnej okładki kondensatora C_y z masą układu, wymuszając całkowite rozładowanie tego kondensatora. Równocześnie moduł sterujący CM przypisuje bitowi b_y wartość jeden, jeżeli podczas ładowania za pomocą źródła prądowego sygnałowego I_s kondensatora C_y rozpoczęto ładowanie kolejnego kondensatora za pomocą źródła prądowego referencyjnego I_R . W przeciwnym przypadku moduł sterujący CM przypisuje bitowi b_y wartość zero. Jednocześnie moduł sterujący CM rozpoczyna odmierzenie kolejnego interwału referencyjnego. W tym celu moduł sterujący CM wybiera z zestawu kondensatorów CS kondensator C_z , którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów $C_{n-r-1}, \dots, C_0$ zestawu kondensatorów CS. Następnie moduł sterujący CM powoduje przy pomocy sygnału z wyjścia sterującego P_z przełączenie przełącznika zestawu S_z w trzecie położenie, a zatem połączenie górnej okładki kondensatora C_z z wyjściem źródła prądowego sygnałowego I_s i tym samym rozpoczęcie ładowania tego kondensatora. Czynności te powtarza się aż do momentu t_3 zakończenia odmierzenia odcinka czasu sygnałowego ST.

Odmierzanie odcinka czasu referencyjnego RT i odcinka czasu sygnałowego ST moduł sterujący CM kończy w chwili t_3 (Fig. 2 i Fig. 3), gdy podczas ładowania kondensatora C_0 o najmniejszej pojemności w zestawie kondensatorów CS moduł sterujący CM wykryje na podstawie sygnału wyjściowego komparatora referencyjnego K_R , że napięcie referencyjne U_R narastające na kondensatorze C_x ładowanym za pomocą źródła prądowego referencyjnego I_R jest równe napięciu progowemu U_{TH} , albo na podstawie sygnału wyjściowego komparatora sygnałowego K_S , że napięcie sygnałowe U_s narastające na kondensatorze C_y ładowanym za pomocą źródła prądowego I_R sygnałowego I_s jest równe napięciu progowemu U_{TH} . Moduł sterujący CM przy pomocy sygnału z wyjścia referencyjnego P_R powoduje wówczas wyłączenie źródła prądowego referencyjnego I_R i jednocześnie przy pomocy sygnału z wyjścia sygnałowego P_S moduł sterujący CM powoduje wyłączenie źródła prądowego sygnałowego I_s . Przy pomocy sygnałów z wyjść sterujących $P_{n-r-1}, \dots, P_0$ moduł sterujący CM powoduje przełączenie przełączników zestawu S_{n-r-1}, S_0 w drugie położenie i tym samym połączenie górnych okładek wszystkich kondensatorów C_{n-r-1}, C_0 zestawu kondensatorów CS z masą układu, wymuszając całkowite rozładowanie wszystkich kondensatorów C_{n-r-1}, C_0 zestawu kondensatorów CS. Równocześnie moduł sterujący CM powoduje przełączenie obu przełączników licznikowych S_{n-r} w drugie położenie i tym samym połączenie górnych okładek obu kondensatorów licznikowych C_{n-r} z masą układu, wymuszając całkowite rozładowanie obu kondensatorów licznikowych C_{n-r} . Następnie moduł sterujący CM wprowadza wyjście zakończenia przetwarzania RDY w stan aktywny. Jednocześnie moduł sterujący CM rozpoczyna kontrolowanie stanu wejścia przetwarzanego interwału czasu I_n w celu wykrycia początku kolejnego przetwarzanego interwału czasu T.

Bezzegarowe i bezpośrednie przetwarzanie interwału czasu na słowo cyfrowe, realizowane według wynalazku w drugim przykładowym układzie, różni się od realizowanego w pierwszym przykładowym układzie tym, że w czasie odmierzenia początkowego fragmentu SRT odcinka czasu referencyjnego RT moduł sterujący CM przy pomocy sygnału z wyjścia referencyjnego P_R utrzymuje wydajność źródła prądowego referencyjnego I_R na wartości pięciokrotnie mniejszej od wydajności źródła prądowego sygnałowego I_s . Natomiast w czasie odmierzenia końcowego fragmentu ERT odcinka czasu referencyjnego RT moduł sterujący CM przy pomocy sygnału z wyjścia referencyjnego P_R utrzymuje wydajność źródła prądowego referencyjnego I_R na wartości równej wydajności źródła prądowego sygnałowego I_s .

Wykaz oznaczeń na rysunku

- I_n wejście przetwarzanego interwału czasu
- I_s wejście sygnałowe
- I_R wejście referencyjne
- P_S wyjście sygnałowe
- P_R wyjście referencyjne
- B wyjście słowa cyfrowego
- $b_{n-1}, \dots, b_r$ najbardziej znaczące bity wyjściowego słowa cyfrowego
- $b_{n-r-1}, \dots, b_0$ najmniej znaczące bity wyjściowego słowa cyfrowego
- RDY wyjście zakończenia przetwarzania
- I_s źródło prądowe sygnałowe

I_R źródło prądowe referencyjne
 S szyna sygnałowa
 R szyna referencyjna
 K_S komparator sygnałowy
 K_R komparator referencyjny
 CS zestaw kondensatorów
 $C_{n-r-1}, \dots, C_0$ kondensatory zestawu kondensatorów
 C_{n-r-1} kondensator o największej pojemności w zestawie kondensatorów
 C_0 kondensator o najmniejszej pojemności w zestawie kondensatorów
 C_{n-r} kondensator licznikowy
 $S_{n-r-1}, \dots, S_0$ przełączniki zestawu
 S_{n-r} przełącznik licznikowy
 $P_{n-r-1}, \dots, P_0$ wyjścia sterujące
 P_{n-r} wyjście licznikowe
 CM moduł sterujący
 C_t licznik
 U_S napięcie sygnałowe
 U_R napięcie referencyjne
 U_{TH} napięcie progowe
 U_{DD} napięcie zasilania
 T przetwarzany interwał czasu
 t_1 chwila wykrycia początku przetwarzanego interwału czasu T
 t_2 chwila wykrycia końca przetwarzanego interwału czasu T
 t_3 chwila zakończenia odmierzenia odcinka czasu referencyjnego
 CI interwał licznikowy
 ST odcinek czasu sygnałowego
 RT odcinek czasu referencyjnego
 SRT początkowy fragment odcinka czasu referencyjnego
 ERT końcowy fragment odcinka czasu referencyjnego

Zastrzeżenia patentowe

1. Sposób bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe, polegający na wykrywaniu za pomocą modułu sterującego początku i końca przetwarzanego interwału czasu i odwzorowaniu przetwarzanego interwału czasu w postaci różnicy długości odcinka czasu referencyjnego i odcinka czasu sygnałowego, takich że odcinek czasu referencyjnego odmierza się od chwili wykrycia za pomocą modułu sterującego początku przetwarzanego interwału czasu, zaś odcinek czasu sygnałowego odmierza się od chwili wykrycia za pomocą modułu sterującego końca przetwarzanego interwału czasu, a odmierzenie obu odcinków czasu kończy się w tym samym momencie, przy czym precyzyjne odmierzenie końcowego fragmentu odcinka czasu referencyjnego oraz całego odcinka czasu sygnałowego realizuje się metodą kompensacji wagowej, w znany sposób, taki że końcowy fragment odcinka czasu referencyjnego zestawia się ze skwantowanych, binarnie skalowanych interwałów referencyjnych o znanych długościach, które odmierza się przez ładowanie za pomocą źródła prądowego referencyjnego kondensatorów wybieranych za pomocą modułu sterującego z zestawu kondensatorów, takich że pojemność każdego kolejnego kondensatora w zestawie kondensatorów jest dwukrotnie mniejsza od pojemności kondensatora bezpośrednio go poprzedzającego, przy czym z zestawu kondensatorów wybiera się za pomocą modułu sterującego zawsze ten kondensator, którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów tego zestawu, zaś wybrany kondensator ładuje się do chwili, gdy narastające na nim napięcie referencyjne, które porównuje się za pomocą komparatora referencyjnego z napięciem progowym, jest równe napięciu progowemu, a wówczas rozpoczyna się odmierzenie kolejnego interwału referencyjnego przez ładowanie za pomocą źródła prądowego referencyjnego kolejnego kondensatora, który wybiera się za pomocą modułu sterującego z zestawu kondensatorów, natomiast odcinek czasu sygnałowego zestawia się

ze skwantowanych, binarnie skalowanych interwałów referencyjnych o znanych długościach, które odmierza się przez ładowanie za pomocą źródła prądowego sygnałowego kondensatorów wybieranych za pomocą modułu sterującego z zestawu kondensatorów, przy czym z zestawu kondensatorów wybiera się za pomocą modułu sterującego zawsze ten kondensator, którego pojemność jest aktualnie największa wśród nieładowanych jeszcze kondensatorów, zaś wybrany kondensator ładuje się do chwili, gdy narastające na nim napięcie sygnałowe, które porównuje się za pomocą komparatora sygnałowego z napięciem progowym, jest równe napięciu progowemu, a wówczas rozpoczyna się odmierzanie kolejnego interwału referencyjnego przez ładowanie za pomocą źródła prądowego sygnałowego kolejnego kondensatora, który wybiera się za pomocą modułu sterującego z zestawu kondensatorów, a równocześnie z odmierzaniem końcowego fragmentu odcinka czasu referencyjnego i odmierzaniem całego odcinka czasu sygnałowego przypisuje się, w znany sposób, za pomocą modułu sterującego, właściwe wartości logiczne kolejnym spośród $n-r$ najmniej znaczących bitów wyjściowego słowa cyfrowego, gdzie n jest liczbą bitów wyjściowego słowa cyfrowego, zaś r jest stopniem linearyzacji, przy czym bitowi o danym indeksie, należącemu do $n-r$ najmniej znaczących bitów wyjściowego słowa cyfrowego, przypisuje się za pomocą modułu sterującego wartość jeden, jeżeli podczas ładowania za pomocą źródła prądowego referencyjnego kondensatora o tym samym indeksie, należącemu do zestawu kondensatorów, nie rozpoczęło ładowania kolejnego kondensatora za pomocą źródła prądowego sygnałowego lub jeżeli podczas ładowania za pomocą źródła prądowego sygnałowego kondensatora o takim samym indeksie, należącemu do zestawu kondensatorów, rozpoczęło ładowanie kolejnego kondensatora za pomocą źródła prądowego referencyjnego, zaś w pozostałych przypadkach bitowi temu przypisuje się za pomocą modułu sterującego wartość zero, natomiast wymienione czynności związane z odmierzaniem końcowego fragmentu odcinka czasu referencyjnego, odmierzaniem całego odcinka czasu sygnałowego oraz przypisywaniem właściwych wartości logicznych $n-r$ najmniej znaczącym bitom wyjściowego słowa cyfrowego powtarza się aż do wykorzystania wszystkich kondensatorów z zestawu kondensatorów, a wówczas kończy się odmierzanie odcinka czasu referencyjnego i odcinka czasu sygnałowego, **znamienny tym**, że suma długości odcinka czasu referencyjnego (RT) i odcinka czasu sygnałowego (ST) jest w przybliżeniu proporcjonalna do długości przetwarzanego interwału czasu (T), przy czym długość odcinka czasu referencyjnego (RT) wyznacza się w pierw zgrubnie, przez odmierzanie początkowego fragmentu (SRT) odcinka czasu referencyjnego (RT) metodą liniową, a początkowy fragment (SRT) odcinka czasu referencyjnego (RT) zestawia się z interwałów licznikowych (CI) o identycznej długości, dwukrotnie większej od długości najdłuższego z binarnie skalowanych interwałów referencyjnych, a zestawiane interwały licznikowe (CI) zlicza się za pomocą r -bitowego licznika (Ct), przy czym licznik (Ct) zeruje się w pierw za pomocą modułu sterującego (CM) w chwili (t_1) wykrycia za pomocą modułu sterującego (CM) początku przetwarzanego interwału czasu (T), zaś interwały licznikowe (CI) odmierza się przez ładowanie za pomocą źródła prądowego referencyjnego (I_R) jednego kondensatora licznikowego (C_{n-r}), przy czym pojemność każdego kondensatora licznikowego (C_{n-r}) jest taka sama, zaś kondensator licznikowy (C_{n-r}) ładuje się do chwili, gdy narastające na nim napięcie referencyjne (U_R), które porównuje się za pomocą komparatora referencyjnego (K_R) z napięciem progowym (U_{TH}), jest równe napięciu progowemu (U_{TH}), a wówczas rozładowuje się ten kondensator licznikowy (C_{n-r}) za pomocą przyporządkowanego mu przełącznika licznikowego (S_{n-r}), zwierając z sobą okładki kondensatora licznikowego (C_{n-r}), a jeżeli podczas odmierzania tego interwału licznikowego (CI) nie wykryje się za pomocą modułu sterującego (CM) końca przetwarzanego interwału czasu (T), to wówczas inkrementuje się za pomocą modułu sterującego (CM) zawartość licznika (Ct), a następnie sprawdza się za pomocą modułu sterującego (CM) nową zawartość licznika (Ct), a jeżeli którykolwiek z bitów tego licznika ma wartość zero, wówczas odmierza się kolejny interwał licznikowy (CI) przez ładowanie za pomocą źródła prądowego referencyjnego (I_R) innego niż poprzednio kondensatora licznikowego (C_{n-r}) i czynności te powtarza się aż do zakończenia odmierzania interwału licznikowego (CI), podczas którego wykryje się za pomocą modułu sterującego (CM) koniec przetwarzanego interwału czasu (T), albo sprawdzi się za pomocą modułu sterującego (CM), iż po inkrementacji licznika (Ct) za pomocą modułu sterującego (CM) nowa zawartość licznika (Ct) składa się wyłącznie z bitów o wartości

jeden, a wówczas, w obu przypadkach, najbardziej znaczącym r bitom ($b_{n-1}, \dots, b_{n-r}$) wyjściowego słowa cyfrowego (B) przypisuje się za pomocą modułu sterującego (CM) wartości r bitów licznika (C_t) i równocześnie rozpoczyna się odmierzenie, w znany sposób, końcowego fragmentu (ERT) odcinka czasu referencyjnego (RT).

2. Sposób według zastrz. 1, **znamienny tym**, że stopień linearyzacji r jest liczbą naturalną, większą od jeden i mniejszą od liczby n bitów ($b_{n-1}, b_{n-r}, b_{n-r-1}, \dots, b_0$) wyjściowego słowa cyfrowego (B).
3. Sposób według zastrz. 2, **znamienny tym**, że wydajność źródła prądowego referencyjnego (I_R) jest taka sama jak wydajność źródła prądowego sygnałowego (I_S) i jednocześnie pojemność każdego kondensatora licznikowego (C_{n-r}) jest dwukrotnie większa od pojemności kondensatora (C_{n-r-1}) o największej pojemności w zestawie kondensatorów (CS).
4. Sposób według zastrz. 2, **znamienny tym**, że wydajność źródła prądowego referencyjnego (I_R) jest regulowana i w czasie odmierzenia początkowego fragmentu (SRT) odcinka czasu referencyjnego (RT) jest utrzymywana za pomocą modułu sterującego (CM) na wartości k -krotnie mniejszej od wydajności źródła prądowego sygnałowego (I_S), zaś w czasie odmierzenia końcowego fragmentu (ERT) odcinka czasu referencyjnego (RT) jest utrzymywana za pomocą modułu sterującego (CM) na wartości równej wydajności źródła prądowego sygnałowego (I_S) i jednocześnie pojemność każdego kondensatora licznikowego (C_{n-r}) jest k -krotnie mniejsza od podwojonej pojemności kondensatora (C_{n-r-1}) o największej pojemności w zestawie kondensatorów (CS).

Rysunki

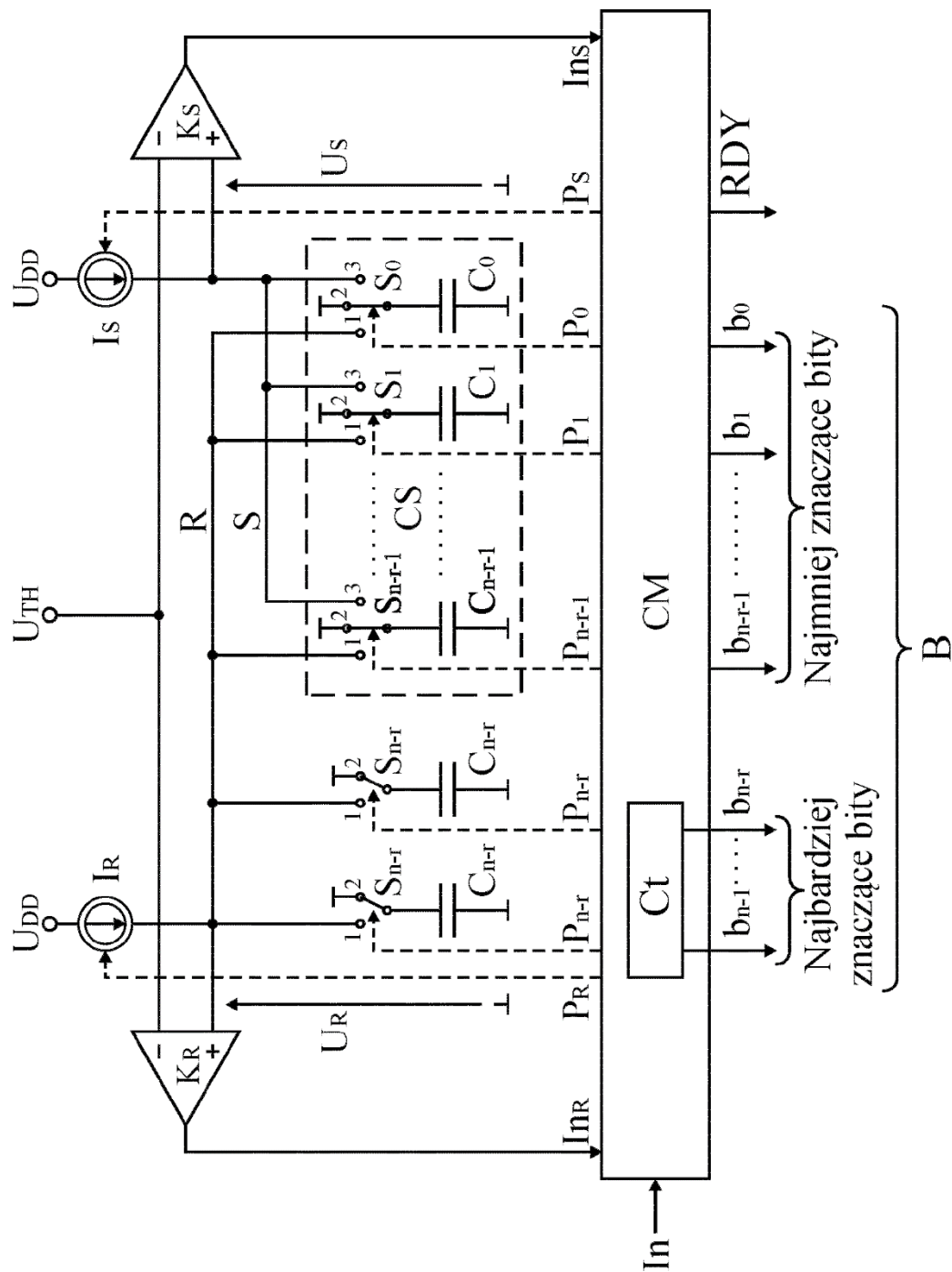


Fig. 1

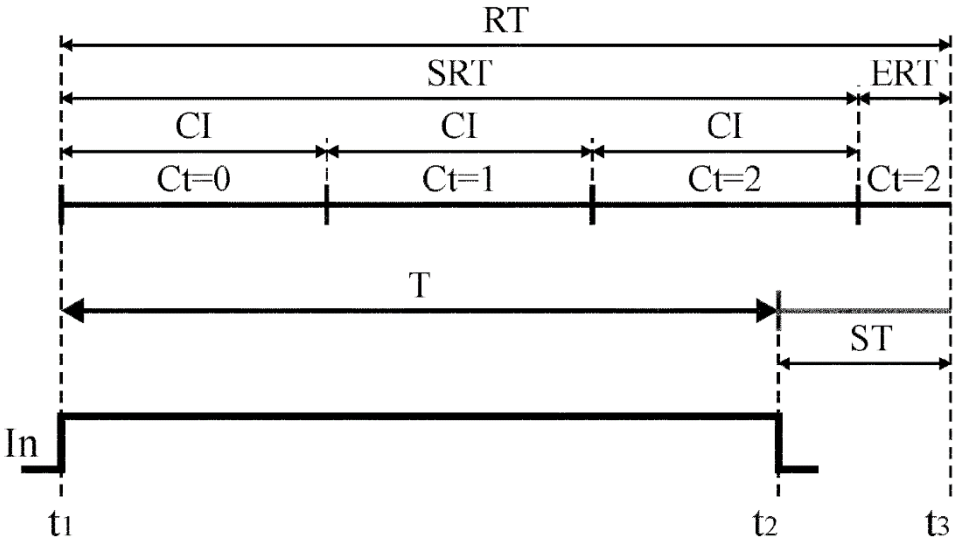


Fig. 2

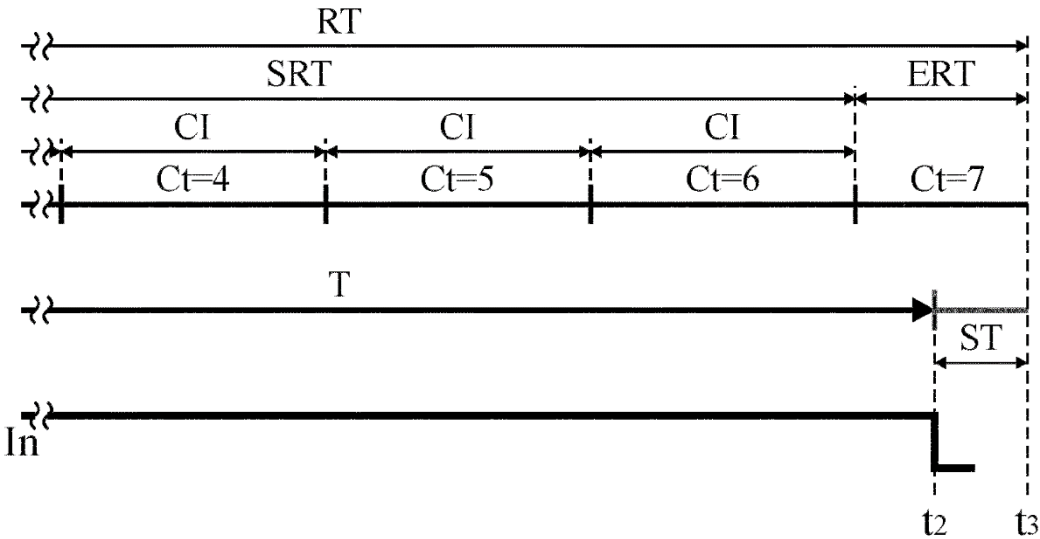


Fig. 3