

(19)



URZĄD
PATENTOWY
RZECZYPOSPOLITEJ
POLSKIEJ

(10)

PL 244483 B1

(12)

Opis patentowy

(21) Numer zgłoszenia: **440944**

(22) Data zgłoszenia: **2022.04.14**

(43) Data publikacji o zgłoszeniu: **2023.10.16 BUP 42/2023**

(45) Data publikacji o udzieleniu patentu: **2024.01.29 WUP 05/2024**

(51) MKP:

G04F 10/00 (2006.01)

H03M 1/12 (2006.01)

(73) Uprawniony z patentu:

**AKADEMIA GÓRNICZO-HUTNICZA
IM.STANISŁAWA STASZICA W KRAKOWIE,
Kraków, PL**

(72) Twórca(-y) wynalazku:

**DARIUSZ KOŚCIELNIK, Kraków, PL
JAKUB SZYDUCZYŃSKI, Szczepieszyń, PL
MAREK MIŚKOWICZ, Kraków, PL
KONRAD JURASZ, Świnna, PL**

(74) Pełnomocnik:

rzecz. pat. Andrzej Rogowski, Kraków, PL

(54) Tytuł:

Sposób rozpoznawania kolejności sygnałów

PL 244483 B1

Opis wynalazku

Przedmiotem wynalazku jest sposób rozpoznawania kolejności sygnałów, znajdujący zastosowanie w systemach kontrolno-pomiarowych i automatyce, ale przede wszystkim w przetwarzaniu analogowo-cyfrowym typu TDC (time-to-digital conversion), w którym analogową wielkością wejściową jest interwał czasu. Przetworniki TDC tego typu stosuje się m.in. w: dalmierzach laserowych, cyfrowych pętlach synchronizacji fazowej DPLL, pozytonowej tomografii emisyjnej oraz postprodukcyjnych testach parametrów czasowych układów scalonych wielkiej skali iteracji VLSI.

Z publikacji: M. A. Abas, G. Russell i D. J. Kinniment, „Design of Sub-10-Picoseconds On-Chip Time Measurement Circuit” znany jest sposób rozpoznawania kolejności sygnałów za pomocą układu MUTEX (mutual exclusion). W sposobie tym sygnał źródłowy podaje się na wejście ustawiające układ MUTEX, natomiast sygnał referencyjny podaje się na wejście kasujące układ MUTEX. Ten z wymienionych sygnałów, który jako pierwszy przejdzie w stan aktywny, zostanie wskazany za pomocą układu MUTEX jako sygnał wiodący. Odpowiadające temu sygnałowi jedno z dwóch wyjść układu MUTEX zostanie wówczas wprowadzone w stan aktywny, potwierdzając, iż ostatecznie rozstrzygnięto o kolejności sygnałów. Późniejsze dotarcie do układu MUTEX stanu aktywnego drugiego z sygnałów pozostanie bez wpływu na stan wyjść tego układu.

Z publikacji: M. A. Abas, G. Russell i D. J. Kinniment, „Built-in time measurement circuits – a comparative design study” IET Comput. Digit. Tech., 2007, 1, (2), str. 87–97 znany jest sposób przetwarzania analogowo-cyfrowego typu TDC (time-to-digital conversion), w którym kodowaną wielkością analogową jest interwał czasu. Interwał ten jest reprezentowany odstępem czasowym pomiędzy chwilami, w których sygnał źródłowy i sygnał referencyjny przechodzą kolejno w stan aktywny. Wielkość mierzonego interwału jest wyznaczana metodą sukcesywnej aproksymacji i ostatecznie podawana w postaci n-bitowego wyjściowego słowa cyfrowego. Procesu przetwarzania dokonuje się w układzie złożonym z n połączonych posobnie ogniów. Każde z ogniów oczekuje wpierw, aż na jednym z jego wejść sygnałowych pojawi się stan aktywny, co oznacza, iż do ogniwa tego dotarł właśnie wiodący z sygnałów. Następnie w ścieżkę wiodącego sygnału jest wprowadzane opóźnienie wzorcowe, którego wielkość jest dwukrotnie mniejsza od opóźnienia wzorcowego wprowadzonego przez poprzednie ogniwo i jednocześnie dwukrotnie większa od opóźnienia wzorcowego, które wprowadzi ogniwo następne. Dane ogniwo nie wprowadza natomiast opóźnienia wzorcowego w ścieżkę drugiego, późniejszego z sygnałów. Ponadto każde z ogniów, na podstawie wprowadzonego przez siebie sposobu skonfigurowania ścieżek obu sygnałów, przypisuje odpowiednią wartość bitowi o indeksie x n-bitowego wyjściowego słowa cyfrowego, przy czym pozycja danego bitu o indeksie x w słowie cyfrowym odpowiada położeniu rozważanego ogniwa w strukturze przetwornika. Proces przetwarzania prowadzi ostatecznie do zrównania w czasie momentów, w których oba sygnały przechodzą w stan aktywny. Zrównanie to można osiągnąć z dokładnością nie gorszą od rozdzielczości bezwzględnej danego przetwornika. Bezwzględną wartość mierzonego interwału czasu można więc także wyznaczyć, jako różnicę sum opóźnień wzorcowych wprowadzonych w ścieżki każdego z sygnałów.

Kolejność, w której stany aktywne sygnału źródłowego i sygnału referencyjnego docierają do danego ogniwa rozpoznaje się za pomocą układu MUTEX. Pojawienie się wiodącego stanu aktywnego na jednym z dwóch wejść tego układu powoduje wprowadzenie w stan aktywny odpowiedniego z jego dwóch wyjść. Wyjścia te sterują konfiguracją dwóch multiplekserów. Za ich pomocą opóźnienie wzorcowe jest wprowadzane w ścieżkę wiodącego sygnału i jednocześnie nie jest wprowadzane w ścieżkę drugiego, późniejszego z sygnałów. Ponieważ jednak czasy propagowania się informacji przez układ MUTEX oraz każdy z multiplekserów są niezerowe, w każdym ogniwie przetwornika w ścieżki obu sygnałów są na stałe włączone elementy opóźniające, za pomocą których kompensuje się wpływ opóźnień propagacyjnych wymienionych elementów.

Z publikacji: D. J. Kinniment, O. V. Maevsky, A. Bystrov, G. Russell i A. V. Yakovlev, „On-Chip structures for Timing Measurement and Test” znany jest efekt metastabilności układu MUTEX. Układ ten charakteryzuje się stałym i niewielkim opóźnieniem propagacyjnym w sytuacji, gdy stany aktywne na jego obu wejściach nie pojawiają się quasi-równocześnie. Jeżeli jednak oba wejścia układu MUTEX zostaną wprowadzone w stan aktywny quasi-równocześnie, czas reakcji układu MUTEX ulega gwałtownemu wydłużaniu. W tej sytuacji długo jeszcze po wprowadzeniu obu wejść układu MUTEX w stan aktywny na jego obu wyjściach utrzymuje się ciągle stan nieaktywny. Efektu tego nie można w pełni skompensować opóźnieniami włączonymi na stałe w ścieżki obu sygnałów, ponieważ bezwzględna

wartość niedokładności każdego z tak wielkich opóźnień, wynikająca z rozrzutów procesów technologicznych, staje się znacząco większa od rozdzielczości przetwornika, fałszując wyniki każdego z wykonywanych pomiarów. Zatem, w przypadku wystąpienia metastabilności układu MUTEX, co jednak nie jest zjawiskiem częstym, aktywny sygnał pojawia się ostatecznie na jednym z wyjść tego układu z dużym i nieskompensowanym opóźnieniem. Opóźnienie to uniemożliwia poprawne skonfigurowanie dalszych fragmentów ścieżek obu sygnałów, zanim jeszcze stany aktywne tych sygnałów dotrą do rozważanych fragmentów. W rezultacie powyższego na danym etapie przetwarzania żadna ze ścieżek sygnałowych nie będzie zawierała wymaganego opóźnienia wzorcowego lub, w innym przypadku wykonania przetwornika, ścieżki obu sygnałów będą zawierały identyczne opóźnienie wzorcowe. W obu przypadkach wynik przetwarzania zostanie obarczony błędem, którego wartość, mogąca sięgać nawet połowy zakresu przetwarzania, zależy od tego, na którym etapie przetwarzania wystąpi zjawisko metastabilności.

Sposób rozpoznawania kolejności sygnałów, według wynalazku, polega na wykrywaniu za pomocą głównego układu MUTEX, wykonywanym podczas etapu przetwarzania analogowo-cyfrowego służącego wyznaczeniu wartości bitu o indeksie x n -bitowego wyjściowego słowa cyfrowego, że jako pierwszy przeszedł w stan aktywny sygnał źródłowy albo, że jako pierwszy przeszedł w stan aktywny sygnał referencyjny. Układowi konfigurowania ścieżek sygnalizuje się za pomocą pierwszego wyjścia głównego układu MUTEX, że jako pierwszy przeszedł w stan aktywny sygnał źródłowy. Za pomocą drugiego wyjścia głównego układu MUTEX sygnalizuje się układowi konfigurowania ścieżek, że jako pierwszy przeszedł w stan aktywny sygnał referencyjny. Sygnał źródłowy podaje się za pomocą pierwszego układu opóźniającego na wejście ścieżki źródłowej układu konfigurowania ścieżek. Równocześnie sygnał referencyjny podaje się za pomocą drugiego układu opóźniającego na wejście ścieżki referencyjnej układu konfigurowania ścieżek. Czas propagacji pierwszego układu opóźniającego jest przy tym równy czasowi propagacji drugiego układu opóźniającego i jest dłuższy od nominalnego opóźnienia propagacyjnego głównego układu MUTEX.

Istotą rozwiązania jest to, że metastabilność głównego układu MUTEX wykrywa się za pomocą dodatkowego układu MUTEX, kontrolując opóźnienie, z którym pierwsze wyjście głównego układu MUTEX albo drugie wyjście głównego układu MUTEX wprowadza się za pomocą głównego układu MUTEX w stan aktywny. Opóźnienie to odnosi się do chwili, w której sygnał źródłowy przeszedł w stan aktywny jako pierwszy albo sygnał referencyjny przeszedł w stan aktywny jako pierwszy. Metastabilność głównego układu MUTEX sygnalizuje się za pomocą dodatkowego układu MUTEX, wprowadzając w stan aktywny drugie wyjście dodatkowego układu MUTEX. Przejście w stan aktywny sygnału źródłowego lub przejście w stan aktywny sygnału referencyjnego wykrywa się za pomocą pierwszej bramki i sygnalizuje się za pomocą dodatkowego układu opóźniającego dodatkowemu układowi MUTEX, wprowadzając w stan aktywny wejście kasujące dodatkowego układu MUTEX. Czas propagacji dodatkowego układu opóźniającego jest przy tym krótszy od czasu propagacji pierwszego układu opóźniającego i jednocześnie jest dłuższy od nominalnego opóźnienia propagacyjnego głównego układu MUTEX. Przejście w stan aktywny pierwszego wyjścia głównego układu MUTEX albo przejście w stan aktywny drugiego wyjścia głównego układu MUTEX wykrywa się i sygnalizuje się za pomocą drugiej bramki dodatkowemu układowi MUTEX, wprowadzając w stan aktywny wejście ustawiające dodatkowego układu MUTEX. Bitowi o indeksie x n -bitowego wyjściowego słowa cyfrowego przypisuje się za pomocą modułu wyjściowego wartość w następujący sposób. Jeżeli podczas etapu przetwarzania analogowo-cyfrowego służącego wyznaczeniu wartości bitu o indeksie x n -bitowego wyjściowego słowa cyfrowego sygnalizuje się za pomocą dodatkowego układu MUTEX metastabilność głównego układu MUTEX i wprowadza się za pomocą drugiego wyjścia dodatkowego układu MUTEX wejście priorytetowe modułu wyjściowego w stan aktywny, to bitowi o indeksie x oraz wszystkim ewentualnym mniej znaczącym bitom n -bitowego wyjściowego słowa cyfrowego przypisuje się za pomocą modułu wyjściowego domyślne stany logiczne. Jednocześnie ignoruje się za pomocą modułu wyjściowego stan podawany za pomocą pierwszego wyjścia głównego układu MUTEX na wejście danych modułu wyjściowego podczas tego i wszystkich ewentualnych kolejnych etapów przetwarzania analogowo-cyfrowego. Jeżeli natomiast podczas etapu przetwarzania analogowo-cyfrowego służącego wyznaczeniu wartości bitu o indeksie x n -bitowego wyjściowego słowa cyfrowego nie sygnalizuje się za pomocą dodatkowego układu MUTEX metastabilność głównego układu MUTEX i wejście priorytetowe modułu wyjściowego utrzymuje się za pomocą drugiego wyjścia dodatkowego układu MUTEX w stanie nieaktywnym oraz nie sygnalizuje się metastabilności podczas żadnego z ewentualnych wcześniejszych etapów przetwarzania analogowo-cyfrowego, służących wyznaczeniu wartości bardziej znaczących bitów n -bitowego wyjściowego słowa cyfrowego, to bitowi o indeksie x n -bitowego wyjściowego słowa cyfrowego przypisuje się za

pomocą modułu wyjściowego stan logiczny zgodnie ze stanem wejście danych modułu wyjściowego. Tak więc, jeżeli wejście danych modułu wyjściowego wprowadza się za pomocą pierwszego wyjścia głównego układu MUTEX w stan aktywny, to bitowi o indeksie x n -bitowego wyjściowego słowa cyfrowego przypisuje się za pomocą modułu wyjściowego stan logiczny jeden. W przeciwnym przypadku, gdy wejście danych modułu wyjściowego utrzymuje się za pomocą pierwszego wyjścia głównego układu MUTEX w stanie nieaktywnym, bitowi o indeksie x n -bitowego wyjściowego słowa cyfrowego przypisuje się za pomocą modułu wyjściowego stan logiczny zero.

Korzystne jest, gdy stan aktywny sygnału źródłowego, sygnału referencyjnego, pierwszego wyjścia głównego układu MUTEX i drugiego wyjścia głównego układu MUTEX oraz pierwszego wyjścia dodatkowego układu MUTEX i drugiego wyjścia dodatkowego układu MUTEX jest stanem logicznym wysokim. Wówczas za pomocą pierwszej bramki i za pomocą drugiej bramki realizuje się funkcję logiczną OR.

Korzystne jest też, gdy stan aktywny sygnału źródłowego, sygnału referencyjnego, pierwszego wyjścia głównego układu MUTEX i drugiego wyjścia głównego układu MUTEX oraz pierwszego wyjścia dodatkowego układu MUTEX i drugiego wyjścia dodatkowego układu MUTEX jest stanem logicznym niskim. Wówczas za pomocą pierwszej bramki i za pomocą drugiej bramki realizuje się funkcję logiczną AND.

Korzystne jest, gdy domyślne stany logiczne przypisuje się za pomocą modułu wyjściowego wybranym bitom n -bitowego wyjściowego słowa cyfrowego w taki sposób, iż bitowi o indeksie x n -bitowego wyjściowego słowa cyfrowego przypisuje się za pomocą modułu wyjściowego stan logiczny zero. Jednocześnie wszystkim ewentualnym mniej znaczącym bitom n -bitowego wyjściowego słowa cyfrowego przypisuje się za pomocą modułu wyjściowego stany logiczne jeden.

Korzystne jest też, gdy domyślne stany logiczne przypisuje się za pomocą modułu wyjściowego wybranym bitom n -bitowego wyjściowego słowa cyfrowego w taki sposób, iż bitowi o indeksie x n -bitowego wyjściowego słowa cyfrowego przypisuje się za pomocą modułu wyjściowego stan logiczny jeden. Jednocześnie wszystkim ewentualnym mniej znaczącym bitom n -bitowego wyjściowego słowa cyfrowego przypisuje się za pomocą modułu wyjściowego stany logiczne zero.

Zaletą rozwiązania jest zapewnienie poprawnej pracy przetwornika analogowo-cyfrowego typu TDC nawet w sytuacji, gdy na dowolnym etapie przetwarzania pojawi się metastabilność układu MUTEX. W takiej sytuacji wszystkim bitom tej części wyjściowego słowa cyfrowego, która w wyniku metastabilności układu MUTEX jest narażona na zafałszowanie, zostanie przypisana z góry przewidziana wartość domyślna. Ostateczna wartość otrzymanego w ten sposób wyjściowego słowa cyfrowego różni się co najwyżej o jeden od wyniku, który można by uzyskać w przetworniku idealnym, całkowicie pozbawionym metastabilności.

Rozwiązanie pozwala także na przerwanie procesu przetwarzania analogowo-cyfrowego, w trakcie którego pojawiła się metastabilność układu MUTEX. Tym samym redukuje się zarówno czas, jak i ilość energii niezbędne do otrzymania poprawnego wyniku przetwarzania.

Przedmiot wynalazku jest objaśniony w przykładach wykonania na rysunku, gdzie przedstawiono:

Fig. 1 – schemat układu do rozpoznawania kolejności sygnałów.

Fig. 2 – schemat układu MUTEX reagującego na stan aktywny w postaci stanu logicznego wysokiego, zawierający asynchroniczny przerzutnik RS zbudowany z bramek logicznych typu NAND i filtr prosty.

Fig. 3 – schemat układu MUTEX reagującego na stan aktywny w postaci stanu logicznego niskiego, zawierający asynchroniczny przerzutnik RS zbudowany z bramek logicznych typu NOR i filtr odwrócony.

Fig. 4 – interwał czasu ΔT rozdzielający momenty przejścia w stan aktywny sygnału źródłowego Sc_x i sygnału referencyjnego Rf_x .

Fig. 5 – opóźnienie propagacyjne t_p głównego układu MUTEX MM_x w funkcji interwału czasu ΔT .

Zgodnie z wynalazkiem sposób rozpoznawania kolejności sygnałów polega na wykrywaniu za pomocą głównego układu MUTEX MM_x , który z dwóch sygnałów dociera wcześniej do ogniwa służącego wyznaczeniu wartości bitu o indeksie x b_x n -bitowego wyjściowego słowa cyfrowego B w przetworniku analogowo-cyfrowym typu TDC, stosującym metodę sukcesywnej aproksymacji. Pierwszym z sygnałów kontrolowanych za pomocą głównego układu MUTEX MM_x jest sygnał źródłowy Sc_x , natomiast drugim jest sygnał referencyjny Rf_x . Dotarcie wiodącego sygnału do rozważanego ogniwa przetwornika analogowo-cyfrowego rozpoznaje się za pomocą wejścia ustawiającego S głównego układu MUTEX MM_x lub wejścia kasującego R głównego układu MUTEX MM_x , wprowadzanego w stan aktywny za pomocą, odpowiednio, sygnału źródłowego Sc_x lub sygnału referencyjnego Rf_x . W tym przykładowym rozwiązaniu

stan aktywny jest reprezentowany przez stan logiczny wysoki. Pojawienie się wiodącego sygnału sygnalizuje się układowi konfigurowania ścieżek E_x za pomocą pierwszego wyjścia Q1 głównego układu MUTEX MM_x , jeżeli wiodącym sygnałem jest sygnał źródłowy Sc_x , albo za pomocą drugiego wyjścia Q2 głównego układu MUTEX MM_x , jeżeli wiodącym sygnałem jest sygnał referencyjny Rf_x . Opóźnienie propagacyjne t_P głównego układu MUTEX MM_x kompensuje się z nadadkiem dla sygnału źródłowego Sc_x i dla sygnału referencyjnego Rf_x za pomocą, odpowiednio, pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} . Czas propagacji t_M pierwszego układu opóźniającego T_{M1x} jest równy czasowi propagacji t_M drugiego układu opóźniającego T_{M2x} i jest pięciokrotnie dłuższy od nominalnego opóźnienia propagacyjnego t_N głównego układu MUTEX MM_x . Tym samym, w sytuacji braku metastabilności głównego układu MUTEX MM_x gwarantuje się za pomocą pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} , że sygnał źródłowy Sc_x i sygnał referencyjny Rf_x dotrą do, odpowiednio, wejścia ścieżki sygnałowej Sc_{in} układu konfigurowania ścieżek E_x i wejścia ścieżki referencyjnej Rf_{in} układu konfigurowania ścieżek E_x dopiero po tym, gdy układowi konfigurowania ścieżek E_x zasygnalizuje się za pomocą głównego układu MUTEX MM_x , który z tych sygnałów jest wiodącym. W tym przykładowym rozwiązaniu stan aktywny pierwszego wyjścia Q1 głównego układu MUTEX MM_x i drugiego wyjścia Q2 głównego układu MUTEX MM_x oraz pierwszego wyjścia Q1 dodatkowego układu MUTEX MA_x i drugiego wyjścia Q2 dodatkowego układu MUTEX MM_x jest stanem logicznym wysokim.

Metastabilność głównego układu MUTEX MM_x wykrywa się za pomocą dodatkowego układu MUTEX MA_x , porównując opóźnienie propagacyjne t_P głównego układu MUTEX MM_x z czasem propagacji t_D dodatkowego układu opóźniającego T_{Dx} . Czas propagacji t_D dodatkowego układu opóźniającego T_{Dx} jest przy tym czterokrotnie dłuższy od nominalnego opóźnienia propagacyjnego t_N głównego układu MUTEX MM_x i jest krótszy od czasu propagacji t_M pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} . Początek interwału opóźnienia propagacyjnego t_P głównego układu MUTEX MM_x wykrywa się za pomocą pierwszej bramki $B1_x$, pełniącej w tym przykładowym rozwiązaniu funkcję sumy logicznej, opóźnia się za pomocą dodatkowego układu opóźniającego T_{Dx} i sygnalizuje dodatkowemu układowi MUTEX MA_x za pomocą wejścia kasującego R dodatkowego układu MUTEX MA_x . Koniec interwału opóźnienia propagacyjnego t_P głównego układu MUTEX MM_x wykrywa się za pomocą drugiej bramki $B2_x$, pełniącej w tym przykładowym rozwiązaniu funkcję sumy logicznej i sygnalizuje dodatkowemu układowi MUTEX MA_x za pomocą wejścia ustawiającego S dodatkowego układu MUTEX MA_x . Jeżeli interwał opóźnienia propagacyjnego t_P głównego układu MUTEX MM_x jest dłuższy od czasu propagacji t_D dodatkowego układu opóźniającego T_{Dx} , to wykrytą metastabilność głównego układu MUTEX MM_x sygnalizuje się za pomocą dodatkowego układu MUTEX MA_x modułowi wyjściowemu OM, wprowadzając w stan aktywny wejście priorytetowe Prt_x moduły wyjściowego OM za pomocą drugiego wyjścia Q2 dodatkowego układu MUTEX MA_x .

W przypadku wykrycia metastabilności głównego układu MUTEX MM_x za pomocą dodatkowego układu MUTEX MA_x w ogniwie przetwornika analogowo-cyfrowego służącym wyznaczeniu wartości bitu o indeksie x b_x n -bitowego wyjściowego słowa cyfrowego B , bitowi o indeksie x b_x oraz wszystkim ewentualnym mniej znaczącym bitom $b_{x-1}, \dots, b_0$ n -bitowego wyjściowego słowa cyfrowego B przypisuje się za pomocą modułu wyjściowego OM domyślne stany logiczne. W tym przykładowym rozwiązaniu bitowi o indeksie x b_x n -bitowego wyjściowego słowa cyfrowego B przypisuje się za pomocą modułu wyjściowego OM stan logiczny zero, a wszystkim ewentualnym mniej znaczącym bitom $b_{x-1}, \dots, b_0$ n -bitowego wyjściowego słowa cyfrowego B przypisuje się za pomocą modułu wyjściowego OM stany logiczne jeden. Jednocześnie ignoruje się za pomocą modułu wyjściowego OM stan podawany za pomocą pierwszego wyjścia Q1 głównego układu MUTEX MM_x na wejście danych D_x modułu wyjściowego OM. W takim przypadku ignoruje się za pomocą modułu wyjściowego OM także stany podawane na wejście danych modułu wyjściowego OM we wszystkich ewentualnych kolejnych ogniwach przetwornika analogowo-cyfrowego, służących wyznaczeniu wartości mniej znaczących bitów $b_x, \dots, b_0$ n -bitowego wyjściowego słowa cyfrowego B .

W przypadku niewykrycia metastabilności głównego układu MUTEX MM_x za pomocą dodatkowego układu MUTEX MA_x w ogniwie przetwornika analogowo-cyfrowego służącym wyznaczeniu wartości bitu o indeksie x b_x n -bitowego wyjściowego słowa cyfrowego B oraz pod warunkiem niewykrycia metastabilności w żadnym z ogniw przetwornika analogowo-cyfrowego, służących wyznaczeniu wartości bardziej znaczących bitów $b_{n-1}, \dots, b_{x+1}$ n -bitowego wyjściowego słowa cyfrowego B , bitowi o indeksie x b_x n -bitowego wyjściowego słowa cyfrowego B przypisuje się za pomocą modułu wyjściowego OM stan logiczny zgodnie ze stanem wejście danych D_x modułu wyjściowego OM. Jeżeli wejście danych D_x modułu wyjściowego OM jest wprowadzone za pomocą pierwszego wyjścia Q1 głównego

układu MUTEX MM_x w stan aktywny, bitowi o indeksie x b_x n -bitowego wyjściowego słowa cyfrowego B przypisuje się za pomocą modułu wyjściowego OM stan logiczny jeden. W przeciwnym przypadku, gdy wejście danych D_x modułu wyjściowego OM utrzymuje się za pomocą pierwszego wyjścia $Q1$ głównego układu MUTEX MM_x w stanie nieaktywnym, bitowi o indeksie x b_x n -bitowego wyjściowego słowa cyfrowego B przypisuje się za pomocą modułu wyjściowego OM stan logiczny zero.

Inny sposób rozpoznawania kolejności sygnałów, zgodnie z wynalazkiem, różni się tym od poprzedniego, że stan aktywny sygnału źródłowego Sc_x i stan aktywny sygnału referencyjnego Rf_x jest reprezentowany przez stan logiczny niski. Stan aktywny pierwszego wyjścia $Q1$ głównego układu MUTEX MM_x i drugiego wyjścia $Q2$ głównego układu MUTEX MM_x oraz pierwszego wyjścia $Q1$ dodatkowego układu MUTEX MA_x i drugiego wyjścia $Q2$ dodatkowego układu MUTEX MM_x jest także stanem logicznym niskim. Ponadto pierwsza bramka $B1_x$ i druga bramka $B2_x$ pełnią w tym przykładowym rozwiązaniu funkcję iloczynu logicznego.

Kolejny sposób rozpoznawania kolejności sygnałów, zgodnie z wynalazkiem, różni się tym od poprzednich, że jeżeli wybranym bitom n -bitowego wyjściowego słowa cyfrowego B przypisuje się za pomocą modułu wyjściowego OM domyślne stany logiczne, rozpoczynając od bitu o indeksie x b_x , to bitowi o indeksie x b_x n -bitowego wyjściowego słowa cyfrowego B przypisuje się za pomocą modułu wyjściowego OM stan logiczny jeden, a wszystkim ewentualnym mniej znaczącym bitom b_{x-1} , ..., b_0 n -bitowego wyjściowego słowa cyfrowego B przypisuje się za pomocą modułu wyjściowego OM stany logiczne zero.

Zgodnie z wynalazkiem układ do rozpoznawania kolejności sygnałów, w pierwszym przykładowym rozwiązaniu (fig. 1), w ogniwie przetwornika analogowo-cyfrowego, służącym wyznaczeniu wartości bitu o indeksie x b_x n -bitowego wyjściowego słowa cyfrowego B zawiera główny układ MUTEX MM_x . Główny układ MUTEX MM_x jest wyposażony w wejście ustawiające S , wejście kasujące R , pierwsze wyjście $Q1$ i drugie wyjście $Q2$. Wejście ustawiające S głównego układu MUTEX MM_x jest połączone z wejściem sygnału źródłowego Sc_x , a wejście kasujące R głównego układu MUTEX MM_x jest połączone z wejściem sygnału referencyjnego Rf_x . Pierwsze wyjście $Q1$ głównego układu MUTEX MM_x jest połączone z pierwszym wejściem sterującym $C1$ układu konfigurowania ścieżek Ex , natomiast drugie wyjście $Q2$ głównego układu MUTEX MM_x jest połączone z drugim wejściem sterującym $C2$ układu konfigurowania ścieżek Ex . Wejście sygnału źródłowego Sc_x jest ponadto połączone z wejściem pierwszego układu opóźniającego T_{M1x} , którego wyjście jest połączone z wejściem ścieżki źródłowej Sc_{in} układu konfigurowania ścieżek Ex . Natomiast wejście sygnału referencyjnego Rf_x jest połączone z wejściem drugiego układu opóźniającego T_{M2x} , którego wyjście jest połączone z wejściem ścieżki referencyjnej Rf_{in} układu konfigurowania ścieżek Ex . Czas propagacji t_m pierwszego układu opóźniającego T_{M1x} jest równy czasowi propagacji t_m drugiego układu opóźniającego T_{M2x} i jest pięciokrotnie dłuższy od nominalnego opóźnienia propagacyjnego t_n głównego układu MUTEX MM_x . Wejście sygnału źródłowego Sc_x jest połączone z pierwszym wejściem pierwszej bramki $B1_x$, której drugie wejście jest połączone z wejściem sygnału referencyjnego Rf_x . Wyjście pierwszej bramki $B1_x$ jest natomiast połączone z wejściem dodatkowego układu opóźniającego T_{Dx} , którego wyjście jest połączone z wejściem kasującym R dodatkowego układu MUTEX MA_x . Czas propagacji t_d dodatkowego układu opóźniającego T_{Dx} jest przy tym czterokrotnie dłuższy od nominalnego opóźnienia propagacyjnego t_n głównego układu MUTEX MM_x i jest krótszy od czasu propagacji t_m pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} . W tym przykładowym układzie główny układ MUTEX MM_x i dodatkowy układ MUTEX MA_x , są znanymi układami MUTEX zawierającymi asynchroniczne przerzutniki RS zbudowane z bramek logicznych typu NAND i filtry proste (fig. 2). Pierwsze wyjście $Q1$ głównego układu MUTEX MM_x jest połączone z wejściem danych D_x modułu wyjściowego OM oraz z pierwszym wejściem drugiej bramki $B2_x$, której drugie wejście jest połączone z drugim wyjściem $Q2$ głównego układu MUTEX MM_x . Wyjście drugiej bramki $B2_x$ jest natomiast połączone z wejściem ustawiającym S dodatkowego układu MUTEX MA_x , którego drugie wyjście $Q2$ jest połączone z wejściem priorytetowym Prt_x modułu wyjściowego OM. Moduł wyjściowy OM jest ponadto wyposażony w wyjścia bitów b_{n-1} , ..., b_0 n -bitowego wyjściowego słowa cyfrowego B . W tym przykładowym układzie pierwsza bramka $B1_x$ i druga bramka $B2_x$ są bramkami logicznymi typu OR.

W drugim przykładowym rozwiązaniu, układ do rozpoznawania kolejności sygnałów, zgodnie z wynalazkiem, różni się tym od pierwszego, że główny układ MUTEX MM_x i dodatkowy układ MUTEX MA_x , są znanymi układami MUTEX zawierającymi asynchroniczne przerzutniki RS zbudowane z bramek logicznych typu NOR i filtry odwrócone (fig. 3). Ponadto, w tym przykładowym rozwiązaniu pierwsza bramka $B1_x$ i druga bramka $B2_x$ są bramkami logicznymi typu AND.

Rozpoznawanie kolejności sygnałów realizowane, według wynalazku, w pierwszym przykładowym układzie (fig. 1) przebiega następująco. Jako wiodący sygnał jest wskazywany za pomocą układu MUTEX ten z dwóch sygnałów, który wcześniej przejdzie w stan aktywny. Dzieje się tak jednak pod warunkiem, że oba sygnały nie przechodzą w stan aktywny quasi-równocześnie. Pierwszym z rozpatrywanych sygnałów jest sygnał źródłowy Sc_x , zaś drugim jest sygnał referencyjny Rf_x . W pierwszym przykładowym układzie stanem aktywnym jest stan logiczny wysoki.

W przypadku, gdy sygnał źródłowy Sc_x i sygnał referencyjny Rf_x nie przechodzą w stan aktywny quasi-równocześnie, interwał czasu ΔT rozdzielający momenty uaktywnienia tych sygnałów (fig. 4) ma niewielki wpływ na długość opóźnienia propagacyjnego t_p (fig. 5), z którym główny układ MUTEX MM_x reaguje na pojawienie się wiodącego sygnału uaktywnieniem jednego ze swych dwóch wyjść. Opóźnienie propagacyjne głównego układu MUTEX MM_x jest w takim przypadku równe lub niewiele większe od nominalnego opóźnienia propagacyjnego t_n głównego układu MUTEX MM_x (fig. 5) i jest krótsze od czasu propagacji t_D dodatkowego układu opóźniającego T_{Dx} (fig. 5). Jeżeli wiodącym sygnałem jest sygnał źródłowy Sc_x , to w stan aktywny zostanie wprowadzone pierwsze wyjście Q1 głównego układu MUTEX MM_x . Jeżeli natomiast wiodącym sygnałem jest sygnał referencyjny Rf_x , to w stan aktywny zostanie wprowadzone drugie wyjście Q2 głównego układu MUTEX MM_x . Późniejsze przejście w stan aktywny drugiego z sygnałów pozostaje bez wpływu na ustalony już stan wyjść głównego układu MUTEX MM_x . W przypadku, gdy wiodącym sygnałem jest sygnał źródłowy Sc_x , stan aktywny pierwszego wyjścia Q1 głównego układu MUTEX MM_x , podawany na pierwsze wejście sterujące C1 układu konfigurowania ścieżek E_x powoduje włączenie opóźnienia wzorcowego, o długości odpowiedniej dla danego ogniwa przetwornika analogowo-cyfrowego, w ścieżkę sygnału źródłowego Sc_x . Jednocześnie ścieżka sygnału referencyjnego Rf_x nie będzie zawierała opóźnienia wzorcowego. W przeciwnym przypadku, gdy wiodącym sygnałem jest sygnał referencyjny Rf_x , stan aktywny drugiego wyjścia Q2 głównego układu MUTEX MM_x , podawany na drugie wejście sterujące C2 układu konfigurowania ścieżek E_x , powoduje włączenie opóźnienia wzorcowego w ścieżkę sygnału referencyjnego Rf_x . Jednocześnie ścieżka sygnału źródłowego Sc_x nie będzie zawierała opóźnienia wzorcowego. Sygnał źródłowy Sc_x , i sygnał referencyjny Rf_x są doprowadzane do, odpowiednio, wejścia ścieżki źródłowej Sc_{in} układu konfigurowania ścieżek E_x i wejścia ścieżki referencyjnej Rf_{in} układu konfigurowania ścieżek E_x za pośrednictwem, odpowiednio, pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} . W rozpatrywanym przypadku opóźnienie propagacyjne t_p głównego układu MUTEX MM_x jest krótsze od czasów propagacji t_m pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} (fig. 5). Dlatego każdy z sygnałów dociera do wejścia własnej ścieżki w układzie konfigurowania ścieżek E_x dopiero wówczas, gdy obie ścieżki zostały wcześniej odpowiednio skonfigurowane, co jest niezbędne dla poprawnego funkcjonowania przetwornika analogowo-cyfrowego.

Długość opóźnienia propagacyjnego t_p głównego układu MUTEX MM_x jest zawsze kontrolowana za pomocą dodatkowego układu MUTEX MA_x . Początek interwału opóźnienia propagacyjnego t_p głównego układu MUTEX MM_x jest wskazywany za pomocą pierwszej bramki $B1_x$, której wyjście przechodzi w stan aktywny w wyniku pojawienia się wiodącego sygnału na dowolnym z dwóch wejść tej bramki. Wyjściowy sygnał pierwszej bramki $B1_x$ jest opóźniany za pomocą dodatkowego układu opóźniającego T_{Dx} i ostatecznie trafia na wejścia kasującego R dodatkowego układu MUTEX MA_x . Koniec interwału opóźnienia propagacyjnego t_p głównego układu MUTEX MM_x jest wskazywany za pomocą drugiej bramki $B2_x$, której wyjście przechodzi w stan aktywny w wyniku pojawienia się stanu aktywnego na dowolnym z dwóch wyjść głównego układu MUTEX MM_x . Wyjściowy sygnał drugiej bramki $B2_x$ jest podawany na wejścia ustawiające S dodatkowego układu MUTEX MA_x . Opóźnienia propagacyjne pierwszej bramki $B1_x$ i drugiej bramki $B2_x$ są identyczne i kompensują się wzajemnie. Opóźnienie propagacyjne t_p głównego układu MUTEX MM_x jest natomiast, w rozpatrywanym przypadku, krótsze od czasu propagacji t_D dodatkowego układu opóźniającego T_{Dx} (fig. 5). Dlatego jako pierwsze zostanie wprowadzone w stan aktywny wejście ustawiające S dodatkowego układu MUTEX MA_x . Tym samym stan aktywny pojawi się ostatecznie na nieużywanym pierwszym wyjściu Q1 dodatkowego układu MUTEX MA_x . Drugie wyjście Q2 dodatkowego układu MUTEX MA_x pozostanie w stanie nieaktywnym, również wówczas, gdy do wejścia kasującego R dodatkowego układu MUTEX MA_x dotrze w końcu stan aktywny z wyjścia dodatkowego układu opóźniającego T_{Dx} . Tym samym wejście priorytetowe Prt_x modułu wyjściowego OM będzie ciągle utrzymywane w stanie nieaktywnym i nie będzie oddziaływało w żaden sposób na wartość nadawaną bitowi b_x przez moduł wyjściowy OM. Jedyny wpływ na wartość tego bitu będzie miał stan pierwszego wyjścia Q1 głównego układu MUTEX MM_x , podawany na wejście danych D_x modułu wyjściowego OM. Jeżeli wejście danych D_x modułu wyjściowego OM znajduje się

w stanie nieaktywnym, to bitowi b_x przypisuje się za pomocą modułu wyjściowego OM stan logiczny zero. W przeciwnym przypadku, gdy wejście danych D_x modułu wyjściowego OM znajduje się w stanie aktywnym, bitowi b_x przypisuje się za pomocą modułu wyjściowego OM stan logiczny jeden.

W przypadku, gdy sygnał źródłowy Sc_x i sygnał referencyjny Rf_x przechodzą w stan aktywny quasi-równocześnie, główny układ MUTEX MM_x wykazuje metastabilność. Opóźnienie propagacyjne t_P głównego układu MUTEX MM_x gwałtownie rośnie (fig. 5) i staje się dłuższe od czasu propagacji t_D dodatkowego układu opóźniającego T_{Dx} . Opóźnienie propagacyjne t_P głównego układu MUTEX MM_x może wówczas stać się dłuższe od czasu propagacji t_M pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} (fig. 5). W takim przypadku sygnał źródłowy Sc_x i sygnał referencyjny Rf_x docierają do, odpowiednio, wejścia ścieżki źródłowej Sc_{in} układu konfigurowania ścieżek Ex i wejścia ścieżki referencyjnej Rf_{in} układu konfigurowania ścieżek Ex zanim jeszcze na jednym z wyjść głównego układu MUTEX MM_x pojawi się stan aktywny. Quasi-równoczesne: sygnał źródłowy Sc_x i sygnał referencyjny Rf_x propagują się zatem przez ścieżki, które nie zostały jeszcze odpowiednio skonfigurowane za pomocą układu konfigurowania ścieżek Ex . Algorytm przetwarzania analogowo-cyfrowego metodą sukcesywnej aproksymacji nie przewiduje zaistnienia takiej sytuacji, a jej pojawienie się powoduje zafałszowanie prawidłowej wartości wyznaczanego wyjściowego słowa cyfrowego B. Jednocześnie jednak quasi-równoczesność sygnału źródłowego Sc_x i sygnału referencyjnego Rf_x oznacza, że na przeprowadzonych wcześniej etapach przetwarzania udało się już zrównać położenie obu sygnałów w dziedzinie czasu, w dodatku z dokładnością lepszą od rozdzielczości danego przetwornika. Sytuacja taka może wystąpić wyłącznie wtedy, gdy mierzony interwał czasu ΔT był początkowo quasi-równy 1/2 zakresu przetwarzania lub 1/4 zakresu przetwarzania lub 3/4 zakresu przetwarzania lub 1/8 zakresu przetwarzania itd. Gdyby zatem idealny przetwornik analogowo-cyfrowy, w którym główny układ MUTEX MM_x jest całkowicie pozbawiony metastabilności, napotkał quasi-równoczesność sygnału źródłowego Sc_x i sygnału referencyjnego Rf_x na etapie przetwarzania służącym wyznaczeniu bitu o indeksie x b_x , to taki przetwornik na tym etapie przetwarzania włączyłby opóźnienie wzorcowe w tor jednego z sygnałów, a na każdym z kolejnych etapów przetwarzania włączałby opóźnienia wzorcowe o malejących dwukrotnie długościach w tor drugiego z sygnałów, usiłując ponownie zrównać położenie tych sygnałów w dziedzinie czasu. Pewne jest zatem, że w wyjściowym słowie cyfrowym B idealnego przetwornika analogowo-cyfrowego wartości bitu b_x oraz wszystkich ewentualnym mniej znaczących bitów $b_{x-1}, \dots, b_0$ muszą przyjmować jedną z dwóch sekwencji: 0, 1, 1, ..., 1 lub 1, 0, 0, ..., 0. Ponadto, w przypadku równoczesnego przejścia w stan aktywny sygnału źródłowego Sc_x i sygnału referencyjnego Rf_x obie powyższe sekwencje są jednakowo prawdopodobne. W rozważanym przypadku wynik przetwarzania analogowo-cyfrowego można zatem przewidzieć z dokładnością do jeden, bez przeprowadzania pozostałych etapów tego procesu lub pomijając ich rezultaty, które i tak dla rzeczywistego przetwornika okażą się zafałszowane wskutek metastabilności układu MUTEX.

Metastabilność głównego układu MUTEX MM_x jest wykrywana i sygnalizowana za pomocą dodatkowego układu MUTEX MA_x . W rozważanym przypadku opóźnienie propagacyjne t_P głównego układu MUTEX MM_x jest dłuższe od czasu propagacji t_M dodatkowego układu opóźniającego T_{Dx} (fig. 5). Dlatego jako pierwsze zostanie wprowadzone w stan aktywny wejście kasujące R dodatkowego układu MUTEX MA_x . Tym samym stan aktywny pojawi się na drugim wyjściu Q2 dodatkowego układu MUTEX MA_x i zostanie przekazany na wejście priorytetowe Prt_x modułu wyjściowego OM, sygnalizując modułowi wyjściowemu OM metastabilność głównego układu MUTEX MM_x . W rezultacie powyższego moduł wyjściowy OM przypisze natychmiast bitowi b_x oraz wszystkim ewentualnym mniej znaczącym bitom $b_{x-1}, \dots, b_0$ wyjściowego słowa cyfrowego B wartości domyślne. Ponadto moduł wyjściowego OM będzie ignorował od tego momentu stan swego wejścia danych D_x , zarówno na tym etapie przetwarzania, jak i na wszystkich ewentualnych następnych etapach przetwarzania. Moduł wyjściowy OM przypisze zatem bitowi b_x stan logiczny zero, a wszystkim ewentualnym mniej znaczącym bitom $b_{x-1}, \dots, b_0$ wyjściowego słowa cyfrowego B moduł wyjściowy OM przypisze stany logiczne jeden. Ostateczna wartość wyjściowego słowa cyfrowego B będzie równa lub o jeden mniejsza od wartości wyjściowego słowa cyfrowego B, którą uzyskano by w idealnym przetworniku analogowo-cyfrowym. W innym przykładowym rozwiązaniu moduł wyjściowy OM przypisze bitowi b_x stan logiczny jeden, a wszystkim ewentualnym mniej znaczącym bitom $b_{x-1}, \dots, b_0$ wyjściowego słowa cyfrowego B moduł wyjściowy OM przypisze stany logiczne zero. W tym rozwiązaniu ostateczna wartość wyjściowego słowa cyfrowego B będzie zatem równa lub o jeden większa od wartości wyjściowego słowa cyfrowego B, którą uzyskano by w idealnym przetworniku analogowo-cyfrowym.

W szczególnym przypadku opóźnienie propagacyjne t_P głównego układu MUTEX MM_x jest quasi-równe czasowi propagacji t_D dodatkowego układu opóźniającego T_{Dx} (fig. 5). Opóźnienie propagacyjne t_P głównego układu MUTEX MM_x jest zatem krótsze od czasów propagacji t_M pierwszego układu opóźniającego T_{M1x} i drugiego układu opóźniającego T_{M2x} (fig. 5). Dlatego sygnał źródłowy Sc_x i sygnał referencyjny Rf_x docierają do, odpowiednio, wejścia ścieżki źródłowej Sc_{in} układu konfigurowania ścieżek E_x i wejścia ścieżki referencyjnej Rf_{in} układu konfigurowania ścieżek E_x dopiero po tym, gdy główny układ MUTEX MM_x wprowadził już w stan aktywny odpowiednie wejście sterujące układu konfigurowania ścieżek E_x . Sygnał źródłowy Sc_x i sygnał referencyjny Rf_x propagują się zatem przez ścieżki skonfigurowane właściwie i z wymaganym wyprzedzeniem. Proces przetwarzania analogowo-cyfrowego przebiega więc poprawnie, a moduł wyjściowy OM może wykorzystać stan pierwszego wyjścia Q1 głównego układu MUTEX MM_x do przypisania odpowiedniej wartości bitowi o indeksie x b_x wyjściowego słowa cyfrowego B.

Jak w każdym przypadku, długość opóźnienia propagacyjnego t_P głównego układu MUTEX MM_x jest kontrolowana za pomocą dodatkowego układu MUTEX MA_x . W rozważanym, szczególnym przypadku opóźnienie propagacyjne t_P głównego układu MUTEX MM_x jest quasi-równe czasowi propagacji t_D dodatkowego układu opóźniającego T_{Dx} (fig. 5). Dlatego wejście ustawiające S dodatkowego układu MUTEX MA_x oraz wejście kasujące R dodatkowego układu MUTEX MA_x są wprowadzane w stan aktywny quasi-równocześnie, powodując metastabilność dodatkowego układu MUTEX MA_x . Jej wynikiem jest znaczne wydłużenie opóźnienia propagacyjnego dodatkowego układu MUTEX MA_x oraz brak możliwości jednoznacznego wskazania wyjścia dodatkowego układu MUTEX MA_x , które zostanie ostatecznie wprowadzone w stan aktywny. Jeżeli stan aktywny pojawi się na nieużywanym pierwszym wyjściu Q1 dodatkowego układu MUTEX MA_x , to wejście priorytetowe Prt_x modułu wyjściowego OM będzie nadal utrzymywane w stanie nieaktywnym za pomocą drugiego wyjścia Q2 dodatkowego układu MUTEX MA_x . Wartości bitu o indeksie x b_x i części ewentualnych mniej znaczących bitów b_{x-1} , b_{x-2} , ..., wyjściowego słowa cyfrowego B, wyznaczone już w wyniku procesu przetwarzania analogowo-cyfrowego cały czas przebiegającego poprawnie zostaną zatem zachowane. Jeżeli natomiast stan aktywny pojawi się ostatecznie na drugim wyjściu Q2 dodatkowego układu MUTEX MA_x , to wejście priorytetowe Prt_x modułu wyjściowego OM zostanie wprowadzone w stan aktywny, sygnalizując modułowi wyjściowemu OM potencjalną metastabilność głównego układu MUTEX MM_x . W rezultacie powyższego moduł wyjściowy OM przypisze bitowi b_x oraz wszystkim ewentualnym mniej znaczącym bitom b_{x-1} , ..., b_0 wyjściowego słowa cyfrowego B wartości domyślne. Ponadto moduł wyjściowego OM zignoruje stan swego wejścia danych D_x , zarówno na tym etapie przetwarzania, jak i na wszystkich ewentualnych następnych etapach przetwarzania. Moduł wyjściowy OM przypisze zatem bitowi b_x stan logiczny zero, a wszystkim ewentualnym mniej znaczącym bitom b_{x-1} , ..., b_0 wyjściowego słowa cyfrowego B moduł wyjściowy OM przypisze stany logiczne jeden. Wartość otrzymanego w ten sposób wyjściowego słowa cyfrowego B będzie równa lub o jeden mniejsza od wartości wyjściowego słowa cyfrowego B, którą uzyskano by w wyniku kontynuowania zwykłego przebiegu procesu przetwarzania analogowo-cyfrowym. W innym przykładowym rozwiązaniu moduł wyjściowy OM przypisze bitowi b_x stan logiczny jeden, a wszystkim ewentualnym mniej znaczącym bitom b_{x-1} , ..., b_0 wyjściowego słowa cyfrowego B moduł wyjściowy OM przypisze stany logiczne zero. W tym rozwiązaniu ostateczna wartość wyjściowego słowa cyfrowego B będzie zatem równa lub o jeden większa od wartości wyjściowego słowa cyfrowego B, którą uzyskano by w wyniku kontynuowania zwykłego przebiegu procesu przetwarzania analogowo-cyfrowym.

Rozpoznawanie kolejności sygnałów realizowane, według wynalazku, w drugim przykładowym układzie przebiega identycznie jak w pierwszym przykładowym układzie (fig. 1), z tą jedynie różnicą, że stanem aktywnym jest stan logiczny niski.

Wykaz oznaczeń na rysunku

Sc_x	sygnał źródłowy
Rf_x	sygnał referencyjny
MM_x	główny układ MUTEX
MA_x	dodatkowy układ MUTEX
S	wejście ustawiające układu MUTEX
R	wejście kasujące układu MUTEX
Q1	pierwsze wyjście układu MUTEX
Q2	drugie wyjście układu MUTEX

T_{M1x}	pierwszy układ opóźniający
T_{M2x}	drugi układ opóźniający
T_{Dx}	dodatkowy układ opóźniający
E_x	układ konfigurowania ścieżek
C1	pierwsze wejście sterujące układu konfigurowania ścieżek
C2	drugie wejście sterujące układu konfigurowania ścieżek
SC_{in}	wejście ścieżki sygnałowej układu konfigurowania ścieżek
Rf_{in}	wejście ścieżki referencyjnej układu konfigurowania ścieżek
$B1_x$	pierwsza bramka
$B2_x$	druga bramka
OM	moduł wyjściowy
D_x	wejście danych modułu wyjściowego
Prt_x	wejście priorytetowe modułu wyjściowego
t_P	opóźnienie propagacyjne głównego układu MUTEX
t_N	nominalne opóźnienie propagacyjne głównego układu MUTEX
t_D	czas propagacji dodatkowego układu opóźniającego
t_M	czas propagacji pierwszego i drugiego układu opóźniającego
B	wyjściowe słowo cyfrowe
$b_{n-1}, \dots, b_0$	bitowy wyjściowego słowa cyfrowego

Zastrzeżenia patentowe

1. Sposób rozpoznawania kolejności sygnałów polegający na wykrywaniu za pomocą głównego układu MUTEX, wykonywanym podczas etapu przetwarzania analogowo-cyfrowego służącego wyznaczeniu wartości bitu o indeksie x n -bitowego wyjściowego słowa cyfrowego, że jako pierwszy przeszedł w stan aktywny sygnał źródłowy albo, że jako pierwszy przeszedł w stan aktywny sygnał referencyjny i sygnalizowaniu za pomocą pierwszego wyjścia głównego układu MUTEX układowi konfigurowania ścieżek, że jako pierwszy przeszedł w stan aktywny sygnał źródłowy albo sygnalizowaniu za pomocą drugiego wyjścia głównego układu MUTEX układowi konfigurowania ścieżek, że jako pierwszy przeszedł w stan aktywny sygnał referencyjny, przy czym sygnał źródłowy podaje się za pomocą pierwszego układu opóźniającego na wejście ścieżki źródłowej układu konfigurowania ścieżek i równocześnie sygnał referencyjny podaje się za pomocą drugiego układu opóźniającego na wejście ścieżki referencyjnej układu konfigurowania ścieżek, zaś czas propagacji pierwszego układu opóźniającego jest równy czasowi propagacji drugiego układu opóźniającego i jest dłuższy od nominalnego opóźnienia propagacyjnego głównego układu MUTEX, **znamienny tym**, że metastabilność głównego układu MUTEX (MM_x) wykrywa się za pomocą dodatkowego układu MUTEX (MA_x), kontrolując opóźnienie, z którym pierwsze wyjście (Q1) głównego układu MUTEX (MM_x) albo drugie wyjście (Q2) głównego układu MUTEX (MM_x) wprowadza się za pomocą głównego układu MUTEX (MM_x) w stan aktywny, względem chwili, w której sygnał źródłowy (SC_x) przeszedł w stan aktywny jako pierwszy albo sygnał referencyjny (Rf_x) przeszedł w stan aktywny jako pierwszy, przy czym metastabilność głównego układu MUTEX (MM_x) sygnalizuje się za pomocą dodatkowego układu MUTEX (MA_x) wprowadzając w stan aktywny drugie wyjście (Q2) dodatkowego układu MUTEX (MA_x), natomiast przejście w stan aktywny sygnału źródłowego (SC_x) lub przejście w stan aktywny sygnału referencyjnego (Rf_x) wykrywa się za pomocą pierwszej bramki ($B1_x$) i sygnalizuje się za pomocą dodatkowego układu opóźniającego (T_{Dx}) dodatkowemu układowi MUTEX (MA_x), wprowadzając w stan aktywny wejście kasujące (R) dodatkowego układu MUTEX (MA_x), przy czym czas propagacji (t_D) dodatkowego układu opóźniającego (T_{Dx}) jest krótszy od czasu propagacji (t_M) pierwszego układu opóźniającego (t_{M1x}) i jednocześnie jest dłuższy od nominalnego opóźnienia propagacyjnego (t_N) głównego układu MUTEX (MM_x), natomiast przejście w stan aktywny pierwszego wyjścia (Q1) głównego układu MUTEX (MM_x) albo przejście w stan aktywny drugiego wyjścia (Q2) głównego układu MUTEX (MM_x) wykrywa się i sygnalizuje się za pomocą drugiej bramki ($B2_x$) dodatkowemu układowi MUTEX (MA_x), wprowadzając w stan aktywny wejście ustawiające (S) dodatkowego układu MUTEX (MA_x), zaś bitowi o indeksie x (b_x) n -bitowego wyjściowego

słowa cyfrowego (B) przypisuje się za pomocą modułu wyjściowego (OM) wartość w taki sposób, że jeżeli podczas etapu przetwarzania analogowo-cyfrowego służącego wyznaczeniu wartości bitu o indeksie x (b_x) n -bitowego wyjściowego słowa cyfrowego (B) sygnalizuje się za pomocą dodatkowego układu MUX (MA_x) metastabilność głównego układu MUX (MM_x) i wprowadza się za pomocą drugiego wyjścia (Q2) dodatkowego układu MUX (MA_x) wejście priorytetowe (Prt_x) modułu wyjściowego (OM) w stan aktywny, to bitowi o indeksie x (b_x) oraz wszystkim ewentualnym mniej znaczącym bitom ($b_{x-1}, \dots, b_0$) n -bitowego wyjściowego słowa cyfrowego (B) przypisuje się za pomocą modułu wyjściowego (OM) domyślne stany logiczne i jednocześnie ignoruje się za pomocą modułu wyjściowego (OM) stan podawany za pomocą pierwszego wyjścia (Q1) głównego układu MUX (MM_x) na wejście danych (D_x) modułu wyjściowego (OM) podczas tego i wszystkich ewentualnych kolejnych etapów przetwarzania analogowo-cyfrowego, jeżeli natomiast podczas etapu przetwarzania analogowo-cyfrowego służącego wyznaczeniu wartości bitu o indeksie x (b_x) n -bitowego wyjściowego słowa cyfrowego (B) nie sygnalizuje się za pomocą dodatkowego układu MUX (MA_x) metastabilność głównego układu MUX (MM_x) i wejście priorytetowe (Prt_x) modułu wyjściowego (OM) utrzymuje się za pomocą drugiego wyjścia (Q2) dodatkowego układu MUX (MA_x) w stanie nieaktywnym oraz nie sygnalizuje się metastabilności podczas żadnego z ewentualnych wcześniejszych etapów przetwarzania analogowo-cyfrowego, służących wyznaczeniu wartości bardziej znaczących bitów ($b_{n-1}, \dots, b_{x+1}$) n -bitowego wyjściowego słowa cyfrowego (B), wówczas bitowi o indeksie x (b_x) n -bitowego wyjściowego słowa cyfrowego (B) przypisuje się za pomocą modułu wyjściowego (OM) stan logiczny zgodnie ze stanem wejście danych (D_x) modułu wyjściowego (OM), w taki sposób, że jeżeli wejście danych (D_x) modułu wyjściowego (OM) wprowadza się za pomocą pierwszego wyjścia (Q1) głównego układu MUX (MM_x) w stan aktywny, to bitowi o indeksie x (b_x) n -bitowego wyjściowego słowa cyfrowego (B) przypisuje się za pomocą modułu wyjściowego (OM) stan logiczny jeden, natomiast w przeciwnym przypadku, gdy wejście danych (D_x) modułu wyjściowego (OM) utrzymuje się za pomocą pierwszego wyjścia (Q1) głównego układu MUX (MM_x) w stanie nieaktywnym, bitowi o indeksie x (b_x) n -bitowego wyjściowego słowa cyfrowego (B) przypisuje się za pomocą modułu wyjściowego (OM) stan logiczny zero.

2. Sposób, według zastrz. 1, **znamienny tym**, że stan aktywny sygnału źródłowego (Sc_x), sygnału referencyjnego (Rf_x), pierwszego wyjścia (Q1) głównego układu MUX (MM_x) i drugiego wyjścia (Q2) głównego układu MUX (MM_x) oraz pierwszego wyjścia (Q1) dodatkowego układu MUX (MA_x) i drugiego wyjścia (Q2) dodatkowego układu MUX (MM_x) jest stanem logicznym wysokim, natomiast za pomocą pierwszej bramki (B1) i za pomocą drugiej bramki (B2) realizuje się funkcję logiczną OR.
3. Sposób, według zastrz. 1, **znamienny tym**, że stan aktywny sygnału źródłowego (Sc_x), sygnału referencyjnego (Rf_x), pierwszego wyjścia (Q1) głównego układu MUX (MM_x) i drugiego wyjścia (Q2) głównego układu MUX (MM_x) oraz pierwszego wyjścia (Q1) dodatkowego układu MUX (MA_x) i drugiego wyjścia (Q2) dodatkowego układu MUX (MM_x) jest stanem logicznym niskim, natomiast za pomocą pierwszej bramki (B1) i za pomocą drugiej bramki (B2) realizuje się funkcję logiczną AND.
4. Sposób według zastrz. 2 lub 3, **znamienny tym**, że domyślne stany logiczne przypisuje się za pomocą modułu wyjściowego (OM) wybranym bitom n -bitowego wyjściowego słowa cyfrowego (B) w taki sposób, iż bitowi o indeksie x (b_x) n -bitowego wyjściowego słowa cyfrowego (B) przypisuje się za pomocą modułu wyjściowego (OM) stan logiczny zero, a wszystkim ewentualnym mniej znaczącym bitom ($b_{x-1}, \dots, b_0$) n -bitowego wyjściowego słowa cyfrowego (B) przypisuje się za pomocą modułu wyjściowego (OM) stany logiczne jeden.
5. Sposób według zastrz. 2 lub 3, **znamienny tym**, że domyślne stany logiczne przypisuje się za pomocą modułu wyjściowego (OM) wybranym bitom n -bitowego wyjściowego słowa cyfrowego (B) w taki sposób, iż bitowi o indeksie x (b_x) n -bitowego wyjściowego słowa cyfrowego (B) przypisuje się za pomocą modułu wyjściowego (OM) stan logiczny jeden, a wszystkim ewentualnym mniej znaczącym bitom ($b_{x-1}, \dots, b_0$) n -bitowego wyjściowego słowa cyfrowego (B) przypisuje się za pomocą modułu wyjściowego (OM) stany logiczne zero.

Rysunki

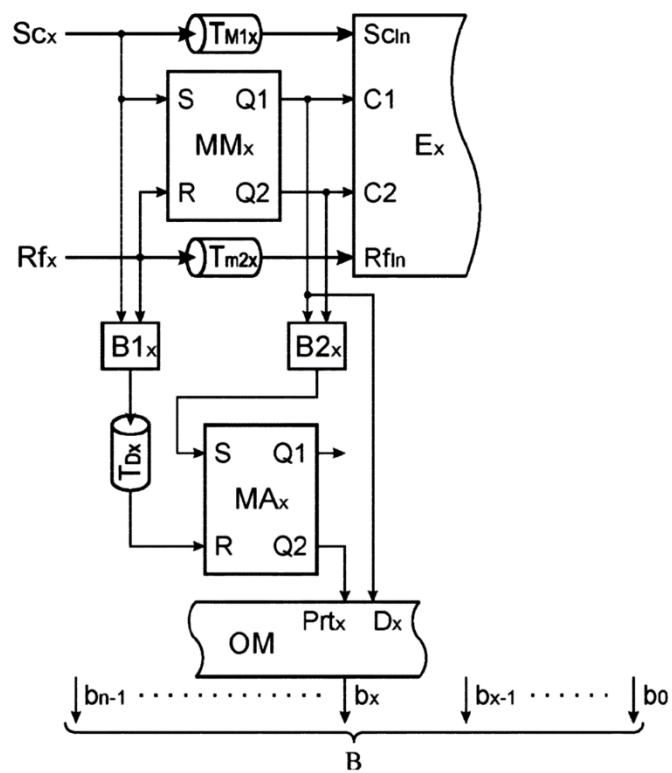


Fig. 1.

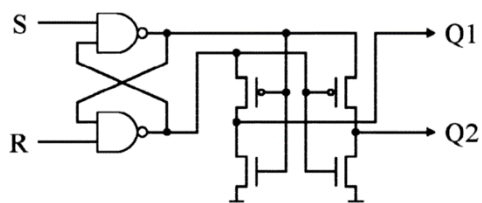


Fig. 2.

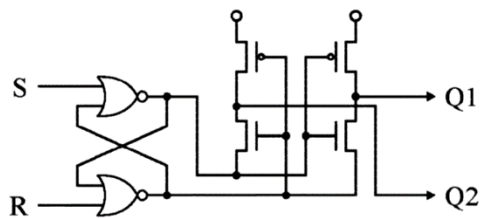


Fig. 3.

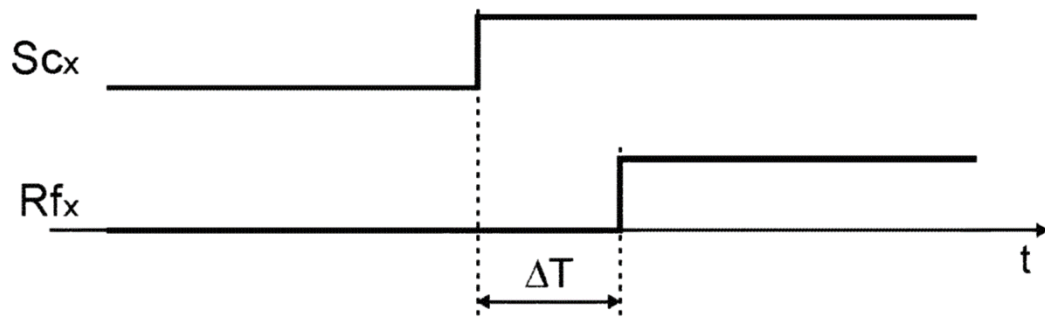


Fig. 4.

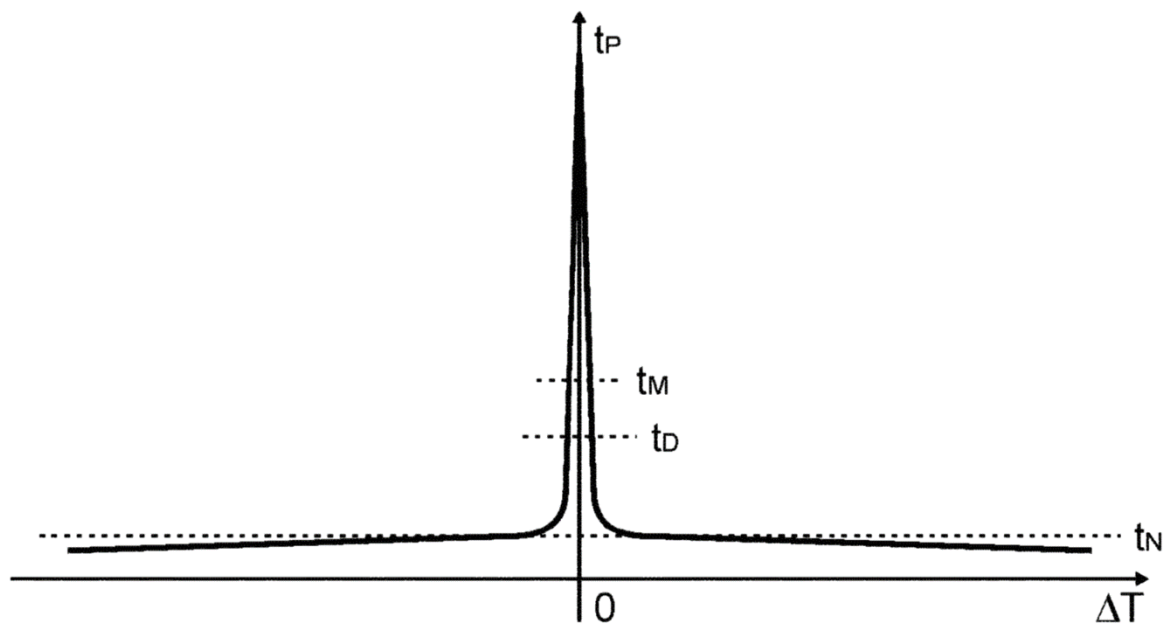


Fig. 5.